

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-78148

(P2000-78148A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.⁷

H 04 L 12/28
H 04 Q 3/00

識別記号

F I

マークコード(参考)

H 04 L 11/20
H 04 Q 3/00
H 04 L 11/20

D 5 K 0 3 0
H

審査請求 未請求 請求項の数12 OL (全30頁)

(21)出願番号 特願平10-245331

(22)出願日 平成10年8月31日 (1998.8.31)

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 松岡 直樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 瓦井 健一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100090011

弁理士 茂泉 修司

最終頁に統ぐ

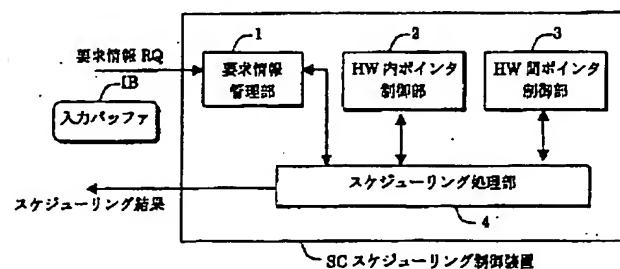
(54)【発明の名称】 スケジューリング制御装置

(57)【要約】 (修正有)

【課題】 高速な繰り返しスケジューリングや複雑な演算処理をせず、簡素で、処理速度がデバイスに依存しないようにする。

【解決手段】 要求情報管理部1が所望の出力回線に対するスケジューリング対象の各入力回線の送出要求情報を保持する。スケジューリング処理部4は、送出要求情報の中からハイウェイ内ポインタ制御部2が示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択しハイウェイ間ポインタ制御部3が示す入力回線から順に全入力回線分スケジューリングを行い、次のスケジューリング周期にハイウェイ内ポインタ制御部2の各検索開始出力回線を更新する。各回線間で異なる優先度パターンを備え、優先度パターン及び送出要求情報に従って送出回線をスケジューリングする。各回線間で優先度の異なるパターンを有し、優先度パターンの開始パターンをスケジューリング周期毎に変更する。

本発明の構成原理図



【特許請求の範囲】

【請求項1】所望の出力回線に対するスケジューリング対象の各入力回線の送出要求情報を保持する要求情報管理部と、

スケジューリング開始入力回線を示すハイウェイ間ポインタ制御部と、

各入力回線に対応した該送出要求情報において検索開始出力回線を示すハイウェイ内ポインタ制御部と、

該送出要求情報の中から該ハイウェイ内ポインタ制御部が示す出力回線から検索を開始し、他の入力回線に選択されていない出力回線を選択するとともに該ハイウェイ間ポインタ制御部が示す入力回線から順に全入力回線分スケジューリングを行い、次回のスケジューリング周期に該ハイウェイ内ポインタ制御部が示す各検索開始出力回線を更新するスケジューリング処理部と、

を備えたことを特徴とするスケジューリング制御装置。

【請求項2】所望の出力回線に対するスケジューリング対象の各入力回線の送出要求情報を保持する要求情報管理部と、

スケジューリング開始出力回線を示すハイウェイ間ポインタ制御部と、

各入力回線に対応した該送出要求情報において検索開始入力回線を示すハイウェイ内ポインタ制御部と、

該送出要求情報の中から該ハイウェイ内ポインタ制御部が示す入力回線から検索を開始し、他の出力回線に確保されていない入力回線を選択するとともに該ハイウェイ間ポインタ制御部が示す出力回線から順に全出力回線分スケジューリングを行い、次回のスケジューリング周期に該ハイウェイ内ポインタ制御部が示す各検索開始入力回線を更新するスケジューリング処理部と、

を備えたことを特徴とするスケジューリング制御装置。

【請求項3】請求項1又は2において、

該スケジューリング処理部が、該ハイウェイ間ポインタを、スケジューリング周期毎に隣接する次の回線に更新し、該ハイウェイ内ポインタを、送出が決定した回線に隣接する次の回線に更新することを特徴としたスケジューリング制御装置。

【請求項4】請求項1又は2において、

該スケジューリング処理部が、該ハイウェイ間ポインタを、スケジューリング周期中に最初に送出回線が確定した回線の次の回線に更新し、該ハイウェイ内ポインタを、送出が決定した回線に隣接する次の回線に更新することを特徴としたスケジューリング制御装置。

【請求項5】請求項3又は4において、

該スケジューリング処理部が、該ハイウェイ内ポインタが示す回線に要求情報があり且つその回線が他の回線に使用されている場合にはハイウェイ内ポインタを更新しないことを特徴としたスケジューリング制御装置。

【請求項6】請求項1乃至5のいずれかにおいて、

該スケジューリング処理部が、該送出要求情報をスケジ

ューリング対象の各回線に対応して選択する際、該ハイウェイ内ポインタ以降と以前の二つに該送出要求情報を分割し、それぞれの中で若番選択論理により最若番回線を求める手段と、該求めた二つの最若番回線の中から該ハイウェイ内ポインタ以降の結果を優先して最終的な送出回線番号を求める手段と、を備えたことを特徴とするスケジューリング制御装置。

【請求項7】請求項1乃至6のいずれかにおいて、該スケジューリング処理部を複数個設け、それぞれを独立してパイプライン処理させるパイプライン処理手段をさらに設けたことを特徴とするスケジューリング制御装置。

【請求項8】所望の出力回線に対するスケジューリング対象の各入力回線の送出要求情報を保持する要求情報管理部と、

各出力回線間で選択優先度が異なるN (Nは2以上の自然数) 個の優先度パターンを有し、該優先度パターン及び該送出要求情報に従って他の入力回線が使用していない出力回線を選択するスケジューリング処理部と、該優先度パターンの開始番号を示す優先度ポインタ制御部とを備え、

該スケジューリング処理部が、該優先度ポインタが示す該優先度パターンからNパターン分順次スケジューリングを行い、次回のスケジューリング周期に該優先度パターンの開始番号を更新することを特徴としたスケジューリング制御装置。

【請求項9】所望の出力回線に対するスケジューリング対象の各入力回線の送出要求情報を保持する要求情報管理部と、

各入力回線間で選択優先度が異なるN (Nは2以上の自然数) 個の優先度パターンを有し、該優先度パターン及び該送出要求情報に従って他の出力回線が使用していない入力回線を選択するスケジューリング処理部と、

該優先度パターンの開始番号を示す優先度ポインタ制御部とを備え、

該スケジューリング処理部が、該優先度ポインタが示す該優先度パターンからNパターン分順次スケジューリングを行い、次回のスケジューリング周期に該優先度パターンの開始番号を更新することを特徴としたスケジューリング制御装置。

【請求項10】請求項8又は9において、

該スケジューリング処理部が、該優先度パターンとして、2進表記順列配置パターンのLSB/MSBを反転させたランダム配列の優先度パターンを有することを特徴としたスケジューリング制御装置。

【請求項11】請求項8又は9において、

該スケジューリング処理部が、全回線間で選択優先度が異なる複数の優先度パターンを有する小グループ内での選択候補を決定するスケジューラと、全回線間の優先度に従って該スケジューラで選出された候補の調停を行い、

最終的な回線を決定する調停スケジューラと、を備えたことを特徴とするスケジューリング制御装置。

【請求項12】請求項8又は9において、

該スケジューリング処理部が、該優先度パターンが示す優先度に従って送出回線を選択する手段と、スケジューリング周期毎に各回線間で異なる入力回線番号と出力回線番号の組み合わせをローテーションさせる手段とを備えたことを特徴とするスケジューリング制御装置。

【発明の詳細な説明】

【発明の属する技術分野】本発明はスケジューリング制御装置に関し、特に大規模ATMスイッチの一構成法である入力バッファ型スイッチにおけるスケジューリング制御装置に関するものである。

【0001】近年、インターネットの爆発的な普及や大容量・高品質な情報を扱うメディアの登場により、大量データを柔軟に扱うことのできる大規模な通信インフラの整備に期待が寄せられている。そして、実現の鍵となる数百ギガ～数テラオーダの容量を持つ大規模ATMスイッチに注目が集まっている。

【0002】

【従来の技術】ATMスイッチの一構成法として、入力回線（方路）毎に単一バッファを持つ基本的な入力バッファ型スイッチが図30(1)に示されている。この構成は、図示のように3つの入力回線が1つの出力回線（出力方路）に集中するというHOL(Head Of Line)ブロッキングの問題があり、スループットが58.6%までしか上がらないことが知られている。

【0003】このようなHOLブロッキングを回避する手段として、同図(2)や図2に示すように、入力バッファ部IBを論理的に出力回線毎に分割し、対応するアルゴリズムに従って送出権をスケジューリング制御装置SCによってスケジューリングする方式が従来より提案されている。

【0004】その一つとして入力回線と出力回線間でReq(要求)/Ack(確認)制御を行う方式①が知られているが、この方式①は、入力回線一出力回線間で何度も情報のやりとりを繰り返して、スケジューリング処理を行っていた。また、入力回線と出力回線間の組み合わせが最大となるような組み合わせを求める別的方式②では、最適な組み合わせを求めるために複雑な演算処理を繰り返していた。

【0005】

【発明が解決しようとする課題】上述のReq/Ack制御を用いた方式①は、特性向上のための入出力回線間で情報の受け渡しを何度も行いスケジューリング処理が繰り返し必要なことから、高速スケジューリングを実現するために高速なデバイスが必要であった。

【0006】また、最大の組み合わせを求める様な方式②は、複雑な論理演算をハードウェアで実現することが困難であった。従って本発明は、高速な繰り返しスケジ

ューリングや複雑な演算処理を必要とせず、簡素でかつ処理速度がデバイスに依存しないスケジューリング制御装置の実現を課題としている。

【0007】

【課題を解決するための手段】図1は上記の課題を解決するための本発明に係るスケジューリング制御装置SCの原理構成図を示したもので、特に後述する動作原理(1)及び(2)に対応するスケジューリング制御装置を示しており、要求情報管理部1とハイウェイ(HW)内ポインタ制御部2とハイウェイ間ポインタ制御部3とスケジューリング処理部4とで構成されている。

【0008】このスケジューラ制御装置は、端的に言えば入力バッファ部IBからの送出要求情報に基づき、スケジューリング結果として適切な出力回線を求めるものであり、各入力バッファから送出されるセルあるいはパケットを各々異なる出力回線にルーティングされるようにスケジューリングするものである。以下、各請求項に係る本発明について順次説明する。

【0009】図2は請求項1に係る本発明の動作原理(1)を示したものである。すなわち、要求情報管理部1は、各入力回線#1～#Nが所望する出力回線#1～#Nへの送出要求情報（単に要求情報と称することがある）RQ1～RQNを入力回線毎に管理するものであり、送出要求の有無を“0”又は“1”で表す。ハイウェイ間ポインタ(P_{HW})は、ハイウェイ間ポインタ制御部3によって与えられ、どの入力回線からスケジューリングを開始するかを示すものであり、このハイウェイ間ポインタ(P_{HW})が示す入力回線から順にN回線分のスケジューリングを行う。

【0010】ハイウェイ内ポインタ($P_{0#j}$: jは回線番号)は、ハイウェイ内ポインタ制御部2によって与えられ、複数の出力回線の中から所望する一つを選択する際に、どの出力回線から検索を開始するかを示すものであり、このハイウェイ内ポインタ($P_{0#j}$)が示す出力回線から順に検索を行い、最初に見つかった出力回線に対して送出権を与える。

【0011】スケジューリング処理部4は、ハイウェイ内ポインタとハイウェイ間ポインタを制御し、他の入力回線に選択されていない出力回線でかつ最初に見つかった出力回線に対して送出権を与え、送出許可を与えた回線を次のスケジューリング処理にその結果SR1を反映させる。

【0012】このような動作原理(1)を図3～図5を用いて、より具体的に説明する。なお、この例では、4x4のスイッチを想定し、入力回線をi1～i4、出力回線をo1～o4とする。そして、これらを結ぶ実線は送出要求の有無を意味する。例えば図3では入力回線#2は出力回線#1, #3, #4に送出要求を持っていることを表している。

【0013】まず、図3による1回目のスケジューリング処理例を図5のフローチャートを参照して説明する。まず、スケジューリング処理部4は図5のS0に示すように設

定されたハイウェイ間ポインタ (P_{HW}) が示す入力回線からN回線分のスケジューリングを行う。この例ではハイウェイ間ポインタ (P_{HW}) =1であるため、入力回線#1、回線#2、回線#3、回線#4の順でスケジューリングを行う。

【0014】(a)STEP0 (初期状態)

入力回線#1は出力回線#3に対して、入力回線#2は出力回線#1, #3, #4に対して、入力回線#3は出力回線#2, #3に対して、入力回線#4は出力回線#2, #3に対して要求があるとする。

【0015】ハイウェイ間ポインタ (P_{HW}) は初期値=1、各入力回線毎のハイウェイ内ポインタ ($P_{i;j}$: j はハイウェイ番号) は、それぞれ、 $P_{11}=1$, $P_{12}=2$, $P_{13}=3$, $P_{14}=4$ であったとする。

【0016】(b)STEP1

入力回線#1は出力回線#3に対する送出要求を持っている。ハイウェイ内ポインタ (P_{11}) は1を指しており、出力回線#1から送出要求の有無を検索する (同S1)。この例では出力回線#3への要求しか無いため、最初に見つかる出力回線は出力回線#3であり、入力回線#1の出力回線を#3に決定する (同S2, S3)。そして、ハイウェイ内ポインタを決定回線の次の出力回線に更新 (すなわち $P_{11}=4$ に更新) し (同S4)、決定した回線番号 (#3) を次の入力回線に通知する。

【0017】(c)STEP2

次に入力回線#2についても同様の処理を行う。すなわち、入力回線#2が要求している出力回線は、#1, #3, #4である。ハイウェイ内ポインタ (P_{12}) は2を指しており、出力回線#2から要求の有無を検索する。この例では#3が最初に見つかるが、この回線は既に入力回線#1で確保されており使用することができない。従って、その次に見つかる出力回線#4を送出回線とする。そして、ハイウェイ内ポインタを決定回線の次の出力回線に更新 (すなわち $P_{12}=1$) し、決定した回線#4を前回線から受け取った確保済み情報 (#3) とともに次の回線に通知する。

【0018】(d)STEP3

次に入力回線#3についても同様の処理を行う。すなわち、入力回線#3が要求している出力回線は、#2, #3である。ハイウェイ内ポインタ (P_{13}) は3を指しており、出力回線#3から要求の有無を検索する。この例では#3が最初に見つかるが、この回線は既に入力回線#1で確保されており使用することができない。従って、その次に見つかる出力回線#2を送出回線とする。

【0019】この例のように、ハイウェイ内ポインタが示す回線 (#3) に要求があり、かつその回線が他の回線に既に確保されている場合には、ハイウェイポインタを更新しない (請求項5)。この様にすることで均等なスケジューリングを可能にしている。そして、決定した回線番号#2を前回線から受け取った確保済み情報 (#3, #4) とともに次の回線に通知する。

【0020】(e)STEP4

最後の回線も同様に処理が行われる。すなわち、入力回線#4が要求している出力回線は、#2, #3である。ハイウェイ内ポインタ (P_{14}) は4を指しており、出力回線#4から送出要求の有無を検索する。この例では#2が最初に見つかるが、この回線は既に入力回線#3で確保されており使用することができない。また、次に見つかる出力回線#3も入力回線#1に使用されており、結局どの出力回線に対しても送出することができない。この場合もハイウェイ内ポインタを更新しないようにする。

【0021】その後、最大回線数 (LINE) を越えているか否かを判定し (同S5)、越えている時の出力回線番号を#1に戻し、全出力について確認し (同S6)、最大回線数を越えている時の入力回線番号を#1に戻す (同S7)。

【0022】(f)STEP5

N回線分のスケジューリングが終わった時点 (同S8) で、次の周期のスケジューリングの為に、ハイウェイ間ポインタを更新する (同S9)。すなわち $P_{\text{HW}}=2$ となる。

【0023】以上のスケジューリング処理により以下のようないくつかの結果が得られる。

入力回線#1→出力回線#3

入力回線#2→出力回線#4

入力回線#3→出力回線#2

入力回線#4→なし

【0024】次の2回目のスケジューリング周期は図4(a)～(f)に示す如く、図3の動作例(STEP0～STEP5)が同様に繰り返され、図示5のフローチャートも同様に適用される。今度はハイウェイ間ポインタが2を示しているので、入力回線#2から順に、#3, #4, #1の順でスケジューリングが行われる。

【0025】仮に要求情報が1回目のスケジューリング時と同じであったとすると、スケジューリング結果は以下の様になる。

入力回線#1→なし

入力回線#2→出力回線#1

入力回線#3→出力回線#3

入力回線#4→出力回線#2

【0026】図6は請求項2に係る本発明の動作原理(2)を示したものである。基本的に各機能ブロックの機能は図2の動作原理(1)と同じであるが、役割が異なる。

【0027】要求情報管理部1は、出力回線に対する各入力回線からの送出要求を出力回線毎に管理するものであり、送出要求の有無を“0”又は“1”で表す。ハイウェイ間ポインタ (P_{HW}) は、どの出力回線からスケジューリングを開始するかを示すものであり、ハイウェイ間ポインタ (P_{HW}) が示す出力回線から順にN回線分のスケジューリングを行う。

【0028】ハイウェイ内ポインタは ($P_{i;j}$: j は回線番号)、出力回線に対して送出要求を送っている複数の

入力回線の中から一つを選択する際に、どの入力回線から検索を行うかを示すものであり、ハイウェイ内ポインタ ($P_{i,j}$) が示す入力回線から順に検索を行い、最初に見つかった送出要求に対して送出権を与える。

【0029】スケジューリング処理部4は、ハイウェイ内ポインタとハイウェイ間ポインタを制御し、他の回線に選択されていない要求でかつ最初に見つかった回線に対して送出権を与え、送出許可を与えた回線をスケジューリング結果SR2として次のスケジューリング処理部に反映させる。

【0030】このように、ハイウェイ間ポインタを出力回線、ハイウェイ内ポインタを入力回線に対応させた場合の基本動作は、動作原理(1)のスケジューリング処理例(図3～図5)と同様であるが、スケジューリング処理部4はハイウェイ間ポインタが示す出力回線からN回線分のスケジューリングを行う。この例ではハイウェイ間ポインタ ($P_{\text{ハイウェイ}}$)=1であるため、出力回線#1、回線#2、回線#3、回線#4の順でスケジューリングが行われる。

【0031】以下、図7(1回目)及び図8(2回目)に示したスケジューリング処理例に沿って具体的に説明する。

(a) STEP0: 図7

入力回線#1は出力回線#3に対して、入力回線#2は出力回線#1、#3、#4に対して、入力回線#3は出力回線#2、#3に対して、入力回線#4は出力回線#2、#3に対して要求があるとする。

【0032】出力回線の観点で見れば、上記要求は以下の様に言い換えることができる。出力回線#1は入力回線#2から、出力回線#2は入力回線#3、#4から、出力回線#3は入力回線#1、#2、#3、#4から、出力回線#4は入力回線#2から送出要求がある。

【0033】ハイウェイ間ポインタ (P_{HW}) は初期値=1、各出力回線毎のハイウェイ内ポインタ ($P_{0,j}$: j はハイウェイ番号) は、それぞれ、 $P_{01}=1$ 、 $P_{02}=2$ 、 $P_{03}=3$ 、 $P_{04}=4$ であったとする。

(b) STEP1

出力回線#1は入力回線#2からの送出要求を持っている。ハイウェイ内ポインタ (P_{01}) は1を指しており、入力回線#1から送出要求の有無を検索する。この例では入力回線#2からの要求しか無いため、最初に見つかる入力回線は回線#2であり、入力回線#2を送出許可回線と決定する。そして、ハイウェイ内ポインタを決定回線の次の入力回線に更新(すなわち $P_{01}=3$) し、決定した回線番号(#2)を次の出力回線に通知する。

(c) STEP2

次に出力回線#2についても同様の処理を行う。出力回線#2に要求を出している入力回線は、#3、#4である。ハイウェイ内ポインタ (P_{02}) は2を指しており、入力回線#2から要求の有無を検索する。この例では#3が最初に見つか

る。この回線は他の回線に確保されていないので、出力回線#3を送出許可回線と決定する。そして、ハイウェイ内ポインタを決定回線の次の入力回線に更新(すなわち $P_{02}=4$) し、決定した回線番号(#3)を前回線から受け取った確保済み情報(#2)とともに次の出力回線に通知する。

(d) STEP3

次に出力回線#3についても同様の処理を行う。出力回線#3に要求を出している入力回線は、#1、#2、#3、#4である。ハイウェイ内ポインタ (P_{03}) は3を指しており、入力回線#3から要求の有無を検索する。この例では#3が最初に見つかるが、この回線は既に出力回線#2で確保されており使用することができない。

【0037】その為、その次に見つかる入力回線#4を送出回線とする。この例のように、ハイウェイ内ポインタが示す回線#3に要求があり、かつその回線が他の回線に確保されている場合には、ハイウェイ内ポインタを更新しない(請求項5)。この様にすることで均等なスケジューリングを可能にしている。そして、決定した回線#4を前回線から受け取った確保済み情報(#2、#3)とともに次の回線に通知する。

(e) STEP4

最後の回線も同様の処理が行われる。出力回線#4に送出要求を出している入力回線は、#2である。ハイウェイ内ポインタ (P_{04}) は4を指しており、入力回線#4から送出要求の有無を検索する。この例では#2が最初に見つかるが、この回線は既に出力回線#1で確保されており使用することができない。従って、結局どの入力回線にも送出権は与えられない。この場合もハイウェイ内ポインタを更新しないようとする(請求項5)。

(f) STEP5

N回線分のスケジューリングが終わった時点で、次の周期のスケジューリングの為に、ハイウェイ間ポインタを更新する。すなわち $P_{\text{HW}}=2$ となる。

【0040】以上のスケジューリング処理により以下のようないくつかの結果が得られる

入力回線#1→なし

入力回線#2→出力回線#1

入力回線#3→出力回線#2

入力回線#4→出力回線#3

【0041】次の2回目のスケジューリング周期は図8(a)～(f)に示す如く、図7の動作例(STEP0～STEP5)が同様に繰り返される。今度はハイウェイ間ポインタが2を示しているので、出力回線#2、#3、#4、#1の順でスケジューリングが行われる。

【0042】仮に要求情報が1回目のスケジューリング時と同じであったとすると、スケジューリング結果は以下の様になる。

入力回線#1→なし

入力回線#2→出力回線#4

入力回線#3→出力回線#3

入力回線#4→出力回線#2

【0043】なお、図7及び図8のSTEP3では、ハイウェイ内ポインタの更新を他の回線に確保されている場合に更新を行っていないが、制御を簡略化するために常に選択された次の回線にしてもよい。

【0044】また、上述した全てのハイウェイ間ポインタは、N回線分のスケジューリングが終わった時点での回線に更新し、スケジューリング周期毎にスケジューリング開始回線を変更する。

【0045】ハイウェイ内ポインタは、スケジューリング処理部4が決定した回線の次の回線にハイウェイ内ポインタ値を更新する。但し、ハイウェイ内ポインタが示す回線に要求があり且つその回線が既に他の回線によってスケジューリングされている場合には更新を行わない

1回目 (ポインタ=0) :

入力回線#0→入力回線#1→入力回線#2→入力回線#3→ポインタを1に更新
 ↓ ↓ ↓ ↓
 出力回線#2 なし 出力回線#3 なし

2回目 (ポインタ=1) :

入力回線#1→入力回線#2→入力回線#3→入力回線#0→ポインタを3に更新
 ↓ ↓ ↓ ↓
 なし 出力回線#1 なし 出力回線#2

【0048】

3回目 (ポインタ=3) :

入力回線#3→入力回線#0→入力回線#1→入力回線#2→ポインタを1に更新
 ↓ ↓ ↓ ↓
 なし 出力回線#2 なし 出力回線#3

4回目 (ポインタ=1) :

入力回線#1→入力回線#2→入力回線#3→入力回線#0→ポインタを3に更新
 ↓ ↓ ↓ ↓
 なし 出力回線#2 なし 出力回線#3

各入力回線からの送出要求が以下の様な場合と仮定する。

入力回線#0→出力回線#0, 出力回線#1

入力回線#1→出力回線#0, 出力回線#1

入力回線#2→要求なし

(請求項5)。これらの処理により、スケジューリング毎に選択時の優先度を均等に割り当てるものである。

【0046】上述の説明においては、該スケジューリング処理部が、該ハイウェイ間ポインタを、スケジューリング周期毎に隣接する次の回線に更新し、該ハイウェイ内ポインタを、送出が決定した回線に隣接する次の回線に更新している(請求項3)が、該ハイウェイ間ポインタを、スケジューリング周期中に最初に送出回線が確定した回線の次の回線に更新し、該ハイウェイ内ポインタを、送出が決定した回線に隣接する次の回線に更新するようにしてもよい(請求項4)。

【0047】すなわち、下記に示す例のように最初に送出権を得た入力回線の次の入力回線にポインタを移動してもよい。

入力回線#3→要求なし

【0049】表1は各ポインタ時のスケジューリング順序の優先度を示す。

【表1】

	ポインタ=0 →	ポインタ=1 →	ポインタ=2 →	ポインタ=3
入力回線#0	1	4	3	2
入力回線#1	2	1	4	3
入力回線#2	3	2	1	4
入力回線#3	4	3	2	1

【0050】入力回線#0と#1とで比較した場合、4つの内3つが入力回線#0の方(若番の方)が先に送出権を得ることができ(□で囲まれた方が優先度高)、均等なスケジューリングが行われない。

【0051】次に請求項4に係る本発明における優先度を表2に示す。

【表2】

各回線間の選択優先度

	ポインタ=0 →	ポインタ=1 →	ポインタ=2 →	ポインタ=3 →
入力回線#0	1	4	3	4
入力回線#1	2	1	4	1
入力回線#2	3	2	1	2
入力回線#3	4	3	2	3

【0052】ポインタ=2の時、入力回線#0が優先的に選択されポインタは#0の次、すなわち#1となる。入力回線#0と#1とで優先度を比較した場合、均等な優先度になっており、公平なスケジューリングが可能となる。

【0053】図9は、スケジューリング対象回線の要求情報の中から一つを選択する請求項6に係る本発明を原理的に示したものである。ここでは、一例としてある出力回線に4つの入力回線から送出要求があり、前回のスケジューリング（図中：前回状態）において、入力回線#0が選択されたとする。そして、今回のスケジューリング（図中：現在状態）では、ハイウェイ内ポインタ（図中“P”）が、入力回線#1にあり、入力回線#0, #2, #3から要求が来ていると想定する。

【0054】ここで、Nビット（この例では4ビット）のビットマップ情報（ここでは、“1”が要求有り、“0”が要求なしとする）をハイウェイ内ポインタが示す部分から二つに分ける。そして、ハイウェイ内ポインタ以降をA、ハイウェイ内ポインタ以前をBとする。これは、ハイウェイ内ポインタを挟んで他の二つのマスクパターン（図中 Mask-A, B）を用意し、マスクパターンとNビットの要求情報とのAND論理を取ることで容易に実現できる。

【0055】そして、各々について、最初に“1”が見つかる場所を後述する若番選択論理回路を用いて求める。図9では、Aにおいて、“1”が設定されている最若番回線は“2”であり、Bにおいては“0”である。ここで、二つの結果からどちらかを選択する必要があり、A内に“1”があればAの結果を優先的に最終結果とし、なければBの結果を採用することでハイウェイ内ポインタが示す回線から最も近い最若番の回線を導くことができる。

【0056】図10、請求項7に係る本発明によるスケジューリングのパイプライン動作を示す。図9では高速な検索方法について述べたが、回線数Nが非常に大きい領域や、低速のデバイスを適用する場合においては、ある単位時間（たとえば1セル時間）内に全回線数分のスケジューリングを行うことは困難である。このような場合に、すなわち、上記の動作原理(1)及び(2)のスケジューリング処理部2を複数個用意し、それぞれが独立に処理を行う様にする。

【0057】すなわち、上記の動作原理(1)及び(2)のスケジューリング方法は、回線毎にスケジューリング処理が完結するため、前回のスケジューリング処理において、どの回線が選択されたか、厳密にはハイウェイ間ポインタが何であったかさえ分かれば、他の回線のスケジ

ューリング結果を待たずに、次の周期のスケジューリングを行っても良いが、図10場合はある単位時間内に2回線分のスケジューリングが可能なスケジューリング処理部を4つ用いて、全8回線分の処理を行う場合を示している。

【0058】スケジューリング周期は4単位時間で終了する。次のスケジューリング周期は、1単位時間（1セルの転送時間）後に行う様にし、図10の順序(1st, 2nd, 3rd, 4th, ...)でスケジューリングを行うことで、初めの固定遅延は発生するものの、単位時間毎にスケジューリング結果が求められる。

【0059】図中、a, b, c, d … hは回線番号を示す。第1回目のスケジューリングは、1セルの転送時間を示すT1から開始し、T4で終了する。2回目のスケジューリングはT2から開始し、T5で終了する。2回目のスケジューリングが、bから始まっている理由は、上述した様にハイウェイ間ポインタがスケジューリング周期毎に更新されるためである。

【0060】図11は請求項8に係る本発明の原理構成（動作原理(3)）を示したものである。要求情報管理部1は、各入力回線が所望する出力回線への送出要求を入力回線毎に管理するものであり、送出要求の有無を“0”又は“1”で表す。

【0061】優先度パターンPP1は、入力回線が、どの出力回線に送出権を与えるかを決定する際の優先度を示しており、各入力回線間で異なる優先度を持つ。優先度ポインタ（Ppri）は、N通りの優先度パターンのうち、どのパターンから検索を開始するかを示すものであり、優先度ポインタが示すパターンから順に全パターンの検索を行う。

【0062】スケジューリング処理部は、各入力回線が優先度パターンが示す出力回線の送出要求を持っているかを確認し、要求があり且つその出力回線が他の入力回線に使用されていなければ、その回線を送出回線としてスケジューリング結果SR3を与えるものである。

【0063】図12～14に優先度パターンPP1を使った動作原理(3)スケジューリング処理例を示す。スケジューリング処理部は、入力回線が優先度パターンに示された出力回線の送出要求を持っているかを確認し、送出要求があればその回線に送出権を与える。優先度パターンをN通り有し、優先度ポインタが示すパターンからNパターン全ての確認を行うことによってスケジューリングを行う。

【0064】この例の最初のパターン(1st)は、入力回

線#1が出力回線#1に対する、入力回線#2が出力回線#4に対する、入力回線#3が出力回線#3に対する、そして入力回線#4が出力回線#2に対するそれぞれの送出要求を持っている場合に送出権を与えること意味している。まず、図12による1回目のスケジューリング処理例を図14のフローチャートを参照して説明する。

【0065】(a)STEP0

入力回線#1は出力回線#3に対して、入力回線#2は出力回線#1, #2に対して、入力回線#3は出力回線#1, #2, #4に対して、そして入力回線#4は出力回線#2, #3に対して要求があるとする。優先度ポインタ(Ppri)は初期値=1であったとする(図14のS10)。

【0066】(b)STEP1

スケジューリング処理部は、各々の入力回線が、優先度パターン1stが示す出力回線に対する要求を持っているかを確認する(同S11)。この例では、入力回線#4が出力回線#2に対する要求を持っているため(同S12)、入力回線#4に出力回線#2への送出権を与える。

【0067】(c)STEP2

スケジューリング処理部は、各々の入力回線が、優先度パターン2ndが示す出力回線に対する要求を持っているかを確認する。この例では、入力回線#1, #2, #3がそれぞれ優先度2ndで示される出力回線への要求を持っている。しかし、入力回線#2の要求する出力回線#2は既に入力回線#4に確保されているため、送出権を与えることができない。従って、入力回線#1に出力回線#3、入力回線#3に出力回線#1への送出権のみを与える。

【0068】(d)STEP3

スケジューリング処理部は、各々の入力回線が、優先度パターン3rdが示す出力回線に対する要求を持っているかを確認する。この例では、入力回線#2が優先度3rdで示される出力回線への要求を持っているが、既に入力回線#3に確保されているため、送出権を与えることができない。

【0069】(e)STEP4

スケジューリング処理部は、各々の入力回線が、優先度パターン4thが示す出力回線に対する要求を持っているかを確認する。この例では、各入力回線を確認しても、優先度パターン4thの出力回線に対する要求を持った入力回線はない。

【0070】その後、全出力回線について確認し(同S3)、優先度パターン番号を更新し(同S14)、最大優先度パターン番号を越えている時のみ、入力回線番号を#1に戻し(同S15)、全パターンについて確認を行う(同S16)。

【0071】(f)STEP5

N回のスケジューリング処理が終わった時点で、優先度ポインタを更新する(同S17)。すなわち、Ppri=2となる。以上のスケジューリング処理により以下の結果が得られる。

【0072】

入力回線#1→出力回線#3
入力回線#2→なし
入力回線#3→出力回線#1
入力回線#4→出力回線#2

【0073】次の2回目のスケジューリング周期も図13(a)～(f)に示す如く図12に示した処理例(STEP0～STEP5)が同様に実行される。優先度ポインタが2を示しているため、2回目のスケジューリングは、優先度パターン2, 3, 4, 1の順で検索が行われる。仮に要求情報が1回目と同じであった場合には、スケジューリング結果配下の様になる。

【0074】

入力回線#1→出力回線#3
入力回線#2→出力回線#2
入力回線#3→出力回線#4
入力回線#4→なし

【0075】図15は、請求項9に係る本発明の原理構成図(動作原理(4))を示したものであり、図16及び17はこの動作原理(4)のスケジューリング処理例を示す。ここでは、優先度パターンの優先度の付け方を、要求を受けている複数の入力回線の中から選択する優先度という付け方をしている。すなわち、要求情報管理部は、出力回線に対する各入力方路からの送出要求を出力回線毎に管理するものであり、送出要求の有無を"0"又は"1"で表す。

【0076】優先度パターンPP2は、出力回線が、どの入力回線に送出権を与えるかを決定する際の優先度を示しており、各出力回線間で異なる優先度を持つ。優先度ポインタは(Ppri)、N通りの優先度パターンのうち、どのパターンから検索を開始するかを示すものであり、優先度ポインタが示すパターンから順に全パターンの検索を行う。

【0077】スケジューリング処理部は、各出力回線が優先度パターンが示す入力回線からの送出要求を持っているかを確認し、要求があり且つその入力回線が他の出力回線に使用されていなければ、その回線を送出回線としてスケジューリング結果SR4を与えるものである。

【0078】この場合、優先度パターン(1st)は、出力回線#1が入力回線#1から、出力回線#2が入力回線#4から、出力回線#3が入力回線#3から、そして出力回線#4が入力回線#2からそれぞれ送出要求を受けている場合にその入力回線に送出権を与えること意味している。

【0079】基本的に、優先度の付け方が、入力回線間、出力回線間で完全に異なっているため、スケジューリング結果は動作原理(3)の場合と変わらないが、スケジューリング手順が異なっている。まず、図16により1回目のスケジューリング処理例について説明する。

【0080】(a)STEP0

出力回線#1は入力回線#2から、出力回線#2は入力回線#

2, #3, #4から、出力回線#3は入力回線#1, #4から、そして出力回線#4は入力回線#3からそれぞれ送出要求があるとする。そして、優先度ポインタ(P_{pri})は初期値=1であったとする。

【0081】(b)STEP1

スケジューリング処理部は、優先度パターン1stが示す入力回線から要求が来ているかを出力回線毎に確認を行う。この例では、出力回線#2が、優先度パターン1stが示す入力回線(#4)から要求を受けており、入力回線#4に対して出力回線#2への送出権を与える。

【0082】(c)STEP2

スケジューリング処理部は、優先度パターン2ndが示す入力回線から要求が来ているかを出力回線毎に確認を行う。この例では、出力回線#1と#2とが優先度パターン2ndが示す入力回線(#3, #4)から要求を受けており、入力回線#3に対して出力回線#1への、入力回線#4に対して出力回線#2への送出権を与える。

【0083】(d)STEP3

スケジューリング処理部は、優先度パターン3rdが示す入力回線から要求が来ているかを出力回線毎に確認を行う。この例では、出力回線#4が、優先度パターン3rdが示す入力回線(#3)からの要求を受けているが、出力回線#4に要求している入力回線#3は既に出力回線#1に確保されているため、送出権は与えられない。

【0084】(e)STEP4

スケジューリング処理部は、優先度パターン4thが示す入力回線に要求が来ているかを出力回線毎に確認を行う。この例では、全出力回線を確認しても優先度パターン4thが示す入力回線からの要求はない。

【0085】(f)STEP5

N回のスケジューリング処理が終わった時点で、優先度ポインタを更新する。すなわち、 $P_{pri}=2$ となる。以上のスケジューリング処理により以下の結果が得られる。

【0086】

入力回線#1→出力回線#3

入力回線#2→なし

入力回線#3→出力回線#1

入力回線#4→出力回線#2

【0087】次の2回目のスケジューリング周期も図16に示した動作例(STEP0～STEP5)と同様に図17(a)～(f)に示す如く実行される。優先度ポインタが2を示しているため、2回目のスケジューリングは、優先度パターン2, 3, 4, 1の順で検索が行われる。仮に要求情報が1回目と同じであった場合には、スケジューリング結果配下の様になる。

【0088】

入力回線#1→出力回線#3

入力回線#2→出力回線#2

入力回線#3→出力回線#4

入力回線#4→なし

【0089】なお、優先度ポインタ(P_{pri})はスケジューリング周期毎に更新され、スケジューリング周期毎に優先度を変更し、各回線に対して選択優先度を均等に割り当てるものである。

【0090】次に、請求項10に係る本発明による優先度パターンの生成に関する実現手段について説明する。例えば図18(1)に示すような順列パターン(1, 2, 3, 4,..)をシフトして作った順列の優先度は、各回線でそれぞれ異なった優先度が与えられており、各回線に対して均等に優先度が割り当てられている。しかしながら、入力回線#0と#1に着目してみると、4つの内3つが入力回線#0の方が選択される優先度が高くなっている。(図中、○印が優先度高を示す)

【0091】これを回避するために、上記順列のパターンを2進表記し、そのMSBとLSBとを同図(2)に示すように反転させた値を同図(3)に示す優先度パターンとする。このLSB/MSB反転パターンの場合は、どの回線間で見ても優先度が均等になっており、(回線#1が優先2個、回線#2が優先2個)ランダム性を持たせることで、更に均等なスケジューリングが可能になる。

【0092】上記実施例では、LSB/MSB反転のランダムパターンを使用しているが、単純な順列パターンでも良いし、また様々な優先度をもったパターンを設定してもよい。次に、請求項11に係る本発明であるスケジューリング制御装置を拡張する手段について説明する。

【0093】図19に、2x2のスケジューリング処理部A～Dを用いて、4x4のスイッチに拡張する場合の例を示す。スケジューリング処理部Aは、入力回線#1と#2の出力#1, #2に関するスケジューリングを、スケジューリング処理部Bは入力回線#1と#2の出力#3, #4に関するスケジューリングを、スケジューリング処理部Cは、入力回線#3と#4の出力#1, #2に関するスケジューリングを、スケジューリング処理部Dは入力回線#3と#4の出力#3, #4に関するスケジューリングを行う。そして、最終的に各スケジューリング処理部で求めた送出候補の中から最終的な送出回線を決定する。

【0094】図20に具体的な動作例を示す。

○送出要求

入力回線#1は、出力回線#1と#3に対して送出要求を持っており、入力回線#2は、出力回線#2に、入力回線#3は出力回線#3, 入力回線#4は出力回線#3に送出要求を持っているとする。

【0095】

入力回線#1→出力回線#1, #3

入力回線#2→出力回線#2

入力回線#3→出力回線#3

入力回線#4→出力回線#3

【0096】○各スケジューリング処理部における仮候補選出

各々のスケジューリング処理部は、自スケジューリング

処理部内で送出の候補を選出する。

【0097】動作原理(3)及び(4)と同様の手段でスケジューリング処理部Aは、入力回線#1に出力回線#1に対する仮の送出権を、入力回線#2に出力回線#2に対する仮の送出権を与える。スケジューリング処理部Bは、入力回線#1に出力回線#3に対する仮の送出権を与える。そし

スケジューリング処理部A:入力回線#1→出力回線#1

スケジューリング処理部B:入力回線#1→出力回線#3
スケジューリング処理部C:送出要求が無いため何も行わない

スケジューリング処理部D:入力回線#3→出力回線#3

【0099】○スケジューリング結果

最終的なスケジューリング結果は、全体の優先度によって決定される。図21に最終的なスケジューリング調停例を示す。入力回線#1と#3が互いに出力回線#3に対する仮の送出権を持っているが、入力回線#1の優先度は3番目であり、入力回線#3は一番目であるため、最終的に入力回線#3が送出権を得る。

【0100】以上のスケジューリングによって次の結果が得られる。

入力回線#1→出力回線#1

入力回線#2→出力回線#2

入力回線#3→出力回線#3

入力回線#4→なし

【0101】次に、請求項12に係る本発明である拡張構成における優先度パターンの生成手段について説明する。一例として、4x4のスケジューリング処理部を用いて8x8スケジューリング処理部に拡張する際の、優先度同期パターン生成について示す。基本的な考え方は、図19~21の場合と同様にLSB, MSB反転によるランダムパターンであるが、この場合4x4のスケジューリング処理部をベースとしているため、図22(1)に示すように下位2ビットのみを反転させる。

【0102】そして、反転によって出来たランダムパターンをシフトさせ、同図(2)に示すパターンを作る。このパターンはA~Dの4つのグループ(前述したスケジューリング処理部A~Dに対応)で見たときに、それぞれのグループ内で均等パターンになっており、また8x8の全体で見た場合も均等になっていることが分かる。

【0103】また、上記の動作原理(3)及び(4)では、スケジューリング周期毎に優先度パターンの開始番号を更新していたが、拡張構成時は図23に示す如く、スケジューリング周期毎に各グループ間で優先度パターンを回して行く(ローテーション)ことで均等割り当てを実現することができる。

【0104】上記の各請求項をまとめると以下のとおりである。請求項1~7では、ハイウェイ間ポインタが示す回線からスケジューリングを開始し、各回線におけるスケジューリング処理は、他の回線が使用していない回線

て、スケジューリング処理部Dは、入力回線#3に出力回線#3に対する仮の送出権を与える(スケジューリング処理部Dにおいては入力回線#3は、入力回線#4より優先度が高い)

【0098】以下に各スケジューリング処理部での仮の送出権候補を示す。

スケジューリング処理部A:入力回線#1→出力回線#1

入力回線#2→出力回線#2

を選択するようにしているため、無駄なスケジューリング処理を回避し、かつ効率の良い(空きの少ない)スケジューリングが可能になる。

【0105】また、スケジューリングを開始する入力(あるいは出力)回線と、その入力(あるいは出力)回線内のスケジューリング処理を開始する出力(あるいは入力)回線とを、スケジューリング周期毎に変更するようとしているため、各回線に対して均等に送出権を与えることができる。更には、ハイウェイ内ポインタが示す回線が既に他の回線にスケジューリングされている場合には、ハイウェイ内ポインタを更新しないことで、より均等なスケジューリングが可能になる。

【0106】更に、スケジューリング処理が各回線毎に完結するため、スケジューリング処理部を複数個備えることでパイプライン処理が可能になる。(処理速度が回線数Nに依存しない)

【0107】請求項8~12では、各回線間で異なる優先度の優先度パターンを備え、その優先度に従って送出回線をスケジューリングし、スケジューリング処理部は他の回線が使用していない回線を選択するようとしているため、無駄なスケジューリング処理を回避し、かつ効率の良い(空きの少ない)スケジューリングが可能になる。

【0108】また、各回線間で優先度の異なるパターンを有していることと、優先度パターンの開始パターンをスケジューリング周期毎に変更するようとしているため、各回線に対して、一様に均等な優先度で送出権を決定することができる。更には優先度パターンに順列のLSB/MSBを反転させたランダムパターンを適用することで、各回線間の優先度を一様にし、より均等な優先度を与えることができる。

【0109】

【発明の実施の形態】図24は、図9に示した最若番選択回路の一実施例を示したもので、図中、白抜きブロックはセレクタ回路、網掛ブロックは入力A, Bに対して以下の出力X, Yを与える二つの論理回路で構成されている。

X = A or B

Y = (A xor B) and B

【0110】これは、Xが二入力の論理和を取り、Yが二つの入力について、“1”を有する入力の若い番号の方を選択する論理であることを示す。この若番選択論理の真理値表の一例を以下に示す。

入力(A)	入力(B)	出力(Y)
0	0	0
0	1	1
1	0	0
1	1	0

【0111】図24の回路を用いてこの若番選択論理動作の一例を説明する。この実施例では、上述したAの部分（ハイウェイ間ポインタ以降）が図の上半分で求められ、Bの部分（ハイウェイ内ポインタ以前）が図の下半分で求められる。

【0112】Aの部分については、回線番号が“101”という形で求められる。同様にBの部分については“001”という結果が得られる。この例では、Aの中に“1”があるため、最終段のセレクタはA側をセレクトし、最終的に“101”=5という値、すなわちハイウェイ内ポインタから最も近い（最若番）が入力回線「#5」であることが求められる。

【0113】この回路はフリップフロップ等のクロック

同期素子を用いないため、高速に最若番の回線を求めることができる。またハイウェイ内ポインタ以降と以前とをパラレルで処理するため、仮にハイウェイ内ポインタ以降に“1”が無い場合でも、再度ハイウェイ内ポインタ以前の処理を行う必要がない。

【0114】もちろん、上記の実施例以外にシフトレジスタを用いてNビットのビットマップ情報をクロック毎にシフトしてゆき、最初に“1”が出力される場所を検索する回路例を用いてもよい。

【0115】次に図23に示した優先度パターンを更新するためのスケジューリング処理部の一実施例について説明する。優先度パターンを用いたスケジューリング処理部は、これまで説明したように、下記の表3のパターンに示される回線の要求があるかをパターン1～Nまでチェックしてもよいが、以下の様な論理を取ることでも求めることができる。

【0116】

【表3】

優先度パターン

	1st	2nd	3rd
入力回線#0	出力回線#0	出力回線#2	出力回線#1
入力回線#1	出力回線#2	出力回線#1	出力回線#0
入力回線#2	出力回線#1	出力回線#0	出力回線#2

【0117】この表3を優先度の観点から並び替えてみると下記の表4のようになる。

【表4】

選択優先度

	出力回線#0	出力回線#1	出力回線#2
入力回線#0	1	2	3
入力回線#1	3	1	2
入力回線#2	2	3	1

【0118】表中の数字は選択論理の優先度を示す。すなわち、第一に優先される組み合わせは、以下の様になる。

入力#0-出力#0

入力#1-出力#1

入力#2-出力#2

【0119】例えば、入力#0が出力#2に送出可能な条件は、入力#0-出力#0、入力#1-出力#1の要求が無い場合に、送出することができると判定することができる。競合制御部45において、これらの判定を行っている。

【0120】スケジューリング処理部は優先度パターンをスケジューリング周期毎にローテーションさせる必要があり、上記優先度の観点から見た場合も同様に優先度の付け方をスケジューリング毎に変更する必要がある。この優先度の割り当ておよびローテーション処理を行うために、優先度割当制御部が必要となる。

【0121】図25には優先度同期アルゴリズムを具備するスケジューリング処理部の3×3スイッチ適用時の実施例を示している。この実施例では、スケジューリング処理部は、各入力回線に接続された出方路番号セレクタ41

と、各セレクタに3つづつ接続されたカウンタ42と、カウンタ出力の判定部43と、3つづつのカウンタ出力を入力する優先度割当制御部44と、全優先度割当制御部44に接続された競合制御部45と、各入力回線へ出方路番号を与えるセレクタ46とで構成されている。

【0122】今、セルが入力バッファに到着した際、各入力回線#0～#2毎の到着セルの出方路番号を受信し、出方路番号セレクタ41において、対応する出方路カウンタ42のカウンタ値を+1だけインクリメントすることにより、各入力回線毎の各出方路に到着したセル数を保持しておく。

【0123】一方、入力バッファに到着したセルの読み出し順序を決定する処理として、各入力回線毎の各出方路に対応するセル数カウンタ値が0か有効数かを判定部43で判定し、0以外のときは、当該カウンタ42の出方路回線番号を優先度割当制御部44に通知する。0のときは、出方路カウンタ42の値は0のままとして、出方路番号の代わりに出方路が無効であることをフラグ、または出方路番号として割り当てられていない値を使用することにより優先度割当制御部44に通知する。

【0124】図26は優先度割当制御部44の詳細な実施例を示しており、加算部441～443と出方路番号切替メモリ(テーブル)444とで構成されている。この優先度割当制御部44においては、出方路カウンタ42より読み出した出方路番号、入力回線番号、フェーズ番号を加算部441～443で加算し、それぞれModulo3を算出することにより、各出方路毎にユニークなAddress1を生成する。

【0125】ここでフェーズ番号は、セル・バイ・セルにインクリメントするため、Address1はセル・バイ・セルにローテーションする0～2の間の値となる。また、入力回線毎に同一出方路、同一フェーズに対しては異なる値を持つようになっている。

【0126】次に出方路番号切替メモリ444に対して、Address1をLSB/MSB反転して得られたAddress1'を元に出方路番号を書き込む。また出方路番号に対するセルがないときは、フラグまたは未使用の値によって当該出方路番号が無効であることを出方路番号切替メモリ444に書き込み、後段の競合制御部45に通知する。

【0127】このように優先度割当制御部44において、セル・バイ・セルの優先度の変化に応じて、対応する出力回線番号、または無効情報を後段の競合制御部45に通知する。ここで、上述した優先度割当制御部44の動作を以下に具体的に説明する。

【0128】優先度割当制御部44には、判定部43から送出要求の有無を示すビットと、所望の出力回線番号が入力される。そして、以下に示す(1)～(3)の処理を行って、要求情報のランダム化とローテーションを実現する。

【0129】(1) Address1生成

今、例えば入力回線#0→出力回線#0, #1, #2に、入力回線#1→出力回線#1, #2に要求があった場合のAddress1の生成方法を以下に示す。

Address1=出力回線番号+入力回線番号+フェーズ番号=modN(Nは回線数)

なお、フェーズ番号は、1回目=0、2回目=1、3回目=2、4回目=0、5回目=1というように、0～N-1の繰り返し番号である。

【0130】☆1回目のスケジューリング時(フェーズ番号は1回目のため0である。)

○入力回線#0のAddress1生成

Address1#0=1+0+0=1mod3=1

Address1#1=2+0+0=2mod3=2

Address1#2=3+0+0=3mod3=0

【0131】○入力回線#1のAddress1生成

Address1#0=1+1+0=2mod3=2

Address1#1=2+1+0=3mod3=0

Address1#2=3+1+0=4mod3=1

【0132】☆2回目のスケジューリング時(フェーズ番号は2回目のため1である。)

○入力回線#0のAddress1生成

Address1#0=1+0+1=2mod3=2

Address1#1=2+0+1=3mod3=0

Address1#2=3+0+1=4mod3=1

【0133】○入力回線#1のAddress1生成

Address1#0=1+1+1=3mod3=0

Address1#1=2+1+1=4mod3=1

Address1#2=3+1+1=5mod3=2

【0134】このように、フェーズ番号を加算することによって、スケジューリング周期毎にAddress1をローテーションさせている。また、各入力回線毎に自回線番号を加えることによって、各回線間で異なるAddress1の生成が可能になる。

【0135】(2) 出力回線番号及び有効/無効ビットの格納

上記の処理(1)で生成されたAddress1を出方路番号切替メモリ444のアドレスとして、出力回線番号と有効/無効ビットをメモリ444に格納する。今、入力回線#0の要求情報とAddress1は以下のようになっている。

出力回線#0, Address1#0=1

出力回線#1, Address1#1=2

出力回線#2, Address1#2=0

【0136】故にメモリ444には以下の様に、Address1に対応する番地に回線番号と有効/無効ビットが格納される。

メモリ番地#0←出力回線番号#2

メモリ番地#1←出力回線番号#0

メモリ番地#2←出力回線番号#1

【0137】(3) 出力回線番号及び有効/無効ビットの読み出し

メモリ444から出力回線番号と有効無効ビットを読み出す。読み出し時は、メモリ番地#0から読み出した情報をポート#0に、メモリ番地#1から読み出した情報をポート#1に、メモリ番地#2から読み出した情報をポート#2に送出する。そして、これらのポートは競合制御部45へと接続されている。

【0138】この例では、出力ポート#0に出力回線番号#2、出力ポート#1に出力回線番号#0、出力ポート#2に出力回線番号#1が通知される。上記(1)～(3)の処理によって、入力された回線番号の順序がランダム化し、またスケジューリング周期毎にこのパターンが下記のようにローテーションするようになっている。

【0139】

元々の入力データ	ランダム化&ローテーション
0	→ 2
1	→ 0
2	→ 1

【0140】上記(1)～(3)の処理を各入力回線毎に求めることにより、図27(2)に示すような出力回線番号の並び替えおよびローテーションを行っている。すなわち、図27に示す競合制御部44に対する優先度割当は、スケジューリング周期毎に同図(1)に示すようにローテーションさせる。これを実際の回路で構成したものが同図(2)に示されており、実際には優先度をローテーションさせるのではなく、競合論理を固定しておき、要求情報の組み合わせの位置を変更することで優先度のローテーションを実現している。

【0141】そして、競合制御部45では、図28に示すように優先度割当制御部44において並び替えられた要求情報（出力回線番号と無効情報）を図示の6個の論理ゲートに入力することにより、各出方路番号の競合制御を行い最終的な送出回線を決定する。

【0142】すなわち、各論理ゲートは出方路番号が有効“1”か無効“0”かにより動作が異なり、有効である時は後段に対して出方路番号を出力するものとする。また、予め各入力回線内の各出方路番号毎の優先度は一致しないように割り当てているため、各入力回線毎に選択される出方路番号は最大1つのみである。すなわち、有効/無効ビットが立っているポートの中から選択論理回路によって一つを選択し、その出力回線番号を最終スケジューリング結果とする。

【0143】最後に出方路番号セレクタ46において、各入力回線毎に選択された出方路番号を各入力バッファに対して読み出し、出方路番号として通知するとともに、対応する出方路カウンタ値を-1だけデクリメントする。

【0144】以上の例では、優先度割当制御部44から競合制御部45に入力する出方路番号をローテーションさせて入力することにより、1つの競合制御部で実施しているが、図29に示す実施例のように出方路番号入力をローテーションさせずに、競合選択論理をローテーションさせてもよい。すなわち、予め優先度が各入力回線間で同期して、各出力回線に対する優先度をローテーションさせるように構成した競合制御部#0～#2を切り替えてもよい。

【0145】なお、上記の各実施例では、スイッチ構成を特に限定していないが、クロスバースイッチでもよく、またソーティングスイッチ等でもよい。

【0146】また、送出要求情報はセルが到着した時に予め送っておいてもよいし、スケジューリング周期毎に通知してもよい。そして、送出要求情報のフォーマットは回線番号をコード化したものを通知してもよいし、ビットマップ情報で送ってもよい。

【0147】

【発明の効果】以上説明したように、本発明に係るスケジューリング制御装置によれば、ハイウェイ間ポインタが示す回線からスケジューリングを開始し、各回線におけるスケジューリング処理は、他の回線が使用していな

い回線を選択するようしているため、無駄なスケジューリング処理を回避し、かつ効率の良いスケジューリングが可能になる。

【0148】また、スケジューリングを開始する入力（出力）回線と、その入力（出力）回線内のスケジューリング処理を開始する出力（入力）回線とを、スケジューリング周期毎に変更するようしているため、各回線に対して均等に送出権を与えることができる。

【0149】更には、ハイウェイ内ポインタが示す回線が既に他の回線にスケジューリングされている場合には、ハイウェイ内ポインタを更新しないことで、より均等なスケジューリングが可能になる。更に、スケジューリング処理が各回線毎に完結するため、スケジューリング処理部を複数個備えることでパイプライン処理が可能になる。

【0150】さらに、各回線間で異なる優先度の優先度パターンを備え、その優先度パターン及び送出要求情報に従って送出回線をスケジューリングし、スケジューリング処理部は他の回線が使用していない回線を選択するようしているため、やはり無駄なスケジューリング処理を回避し、かつ効率の良いスケジューリングが可能になる。

【0151】また、各回線間で優先度の異なるパターンを有していることと、優先度パターンの開始パターンをスケジューリング周期毎に変更するようにし、あるいは優先度パターンに順列のLSB/MSBを反転させたランダムパターンを適用することで、各回線間の優先度を一様にし、より均等な優先度を与えることができる。

【図面の簡単な説明】

【図1】本発明に係るスケジューリング制御装置の原理構成例を示したブロック図である。

【図2】本発明に係るスケジューリング制御装置の動作原理（1）を示したブロック図である。

【図3】動作原理（1）のスケジューリング処理例（1回目）を示した動作説明図である。

【図4】動作原理（1）のスケジューリング処理例（2回目）を示した動作説明図である。

【図5】動作原理（1）によるスケジューリング処理のフローチャート図である。

【図6】本発明に係るスケジューリング制御装置の動作原理（2）を示したブロック図である。

【図7】動作原理（2）のスケジューリング処理例（1回目）を示した動作説明図である。

【図8】動作原理（2）のスケジューリング処理例（2回目）を示した動作説明図である。

【図9】本発明に係るスケジューリング制御装置においてハイウェイ（HW）内ポインタから検索を行う場合の最若番要求回線の検索原理を示したブロック図である。

【図10】本発明に係るスケジューリング制御装置におけるパイプラインスケジューリング処理の原理を示した

ブロック図である。

【図11】本発明に係るスケジューリング制御装置の動作原理(3)を示したブロック図である。

【図12】動作原理(3)のスケジューリング処理例(1回目)を示した動作説明図である。

【図13】動作原理(3)のスケジューリング処理例(2回目)を示した動作説明図である。

【図14】動作原理(3)における優先度パターンを用いたスケジューリング処理例を示したフローチャート図である。

【図15】本発明に係るスケジューリング制御装置の動作原理(4)を示したブロック図である。

【図16】動作原理(4)のスケジューリング処理例(1回目)を示した動作説明図である。

【図17】動作原理(4)のスケジューリング処理例(2回目)を示した動作説明図である。

【図18】本発明に係るスケジューリング制御装置におけるランダムパターン生成と優先度数の割合を説明した図である。

【図19】本発明に係るスケジューリング制御装置におけるスケジューリング処理部拡張原理を示したブロック図である。

【図20】本発明に係るスケジューリング制御装置におけるスケジューリング処理部拡張原理に用いる各スケジューリング処理部における候補選出例の説明図である。

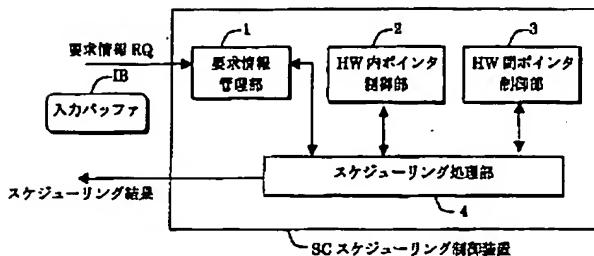
【図21】本発明に係るスケジューリング制御装置におけるスケジューリング処理部拡張原理での全体の優先度における最終送出回線調停例を示した図である。

【図22】本発明に係るスケジューリング制御装置におけるスケジューリング処理部拡張原理での拡張構成時の優先度パターン生成例を示した図である。

【図23】本発明に係るスケジューリング制御装置におけるスケジューリング処理部拡張原理での優先度パターン更新(ブロック単位更新)例を示したブロック図である。

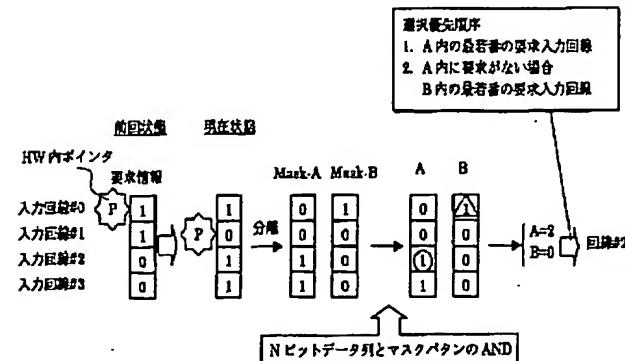
【図1】

本発明の構成原理図



【図9】

HW 内ポインタから検索を行う場合の最若番要求回線の検索原理図



【図24】本発明に係るスケジューリング制御装置に用いられる最若番選択回路例を示したブロック図である。

【図25】本発明に係るスケジューリング制御装置に用いられるスケジューリング処理部の実施例を示したブロック図である。

【図26】本発明に係るスケジューリング制御装置に用いられる優先度割当制御部の実施例を示したブロック図である。

【図27】本発明に係るスケジューリング制御装置に用いられる優先度割当制御部と競合制御部との関係を説明するための図である。

【図28】本発明に係るスケジューリング制御装置に用いられる競合制御部の実施例を示したブロック図である。

【図29】本発明に係るスケジューリング制御装置に用いられる競合選択論理をローテーションさせる場合のスケジューリング処理部の実施例を示したブロック図である。

【図30】従来構成例を示したブロック図である。

【図31】従来より知られている入力バッファ型スイッチの構成例を示したブロック図である。

【符号の説明】

SC スケジューリング制御装置

IB 入力バッファ

1 要求情報管理部

2 ハイウェイ内ポインタ制御部

3 ハイウェイ間ポインタ制御部

4 スケジューリング処理部

RQ 送出要求情報

SP スケジューリング処理

SR1~4 スケジューリング結果

P_{HW} ハイウェイ間ポインタ

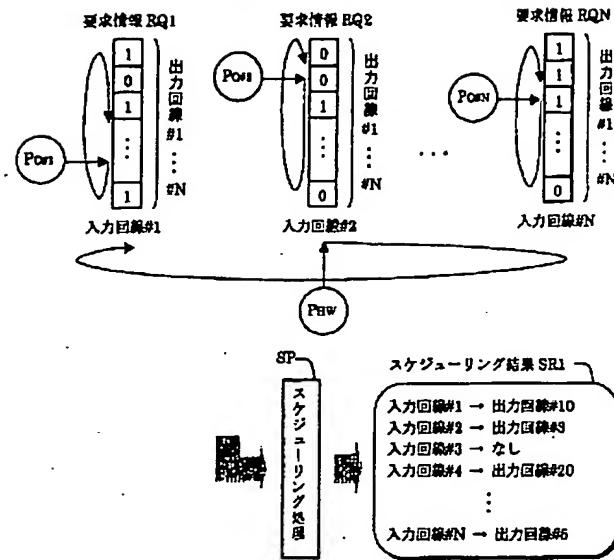
P_{HW}_{i,j} ハイウェイ内ポインタ

PP1, PP2 優先度パターン

図中、同一符号は同一又は相当部分を示す。

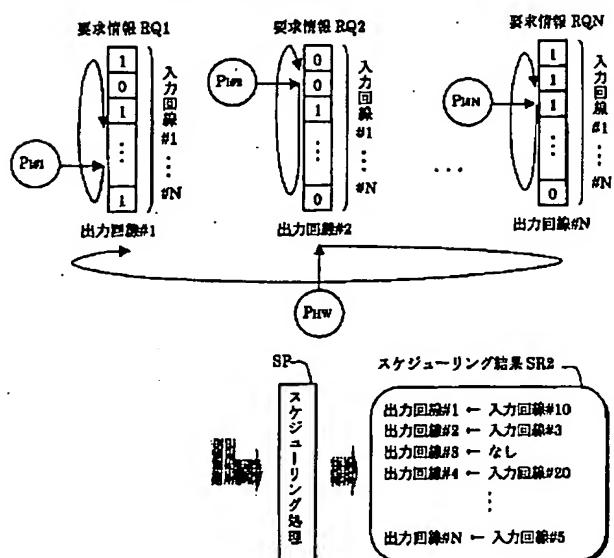
【図2】

本発明の動作原理図(1)



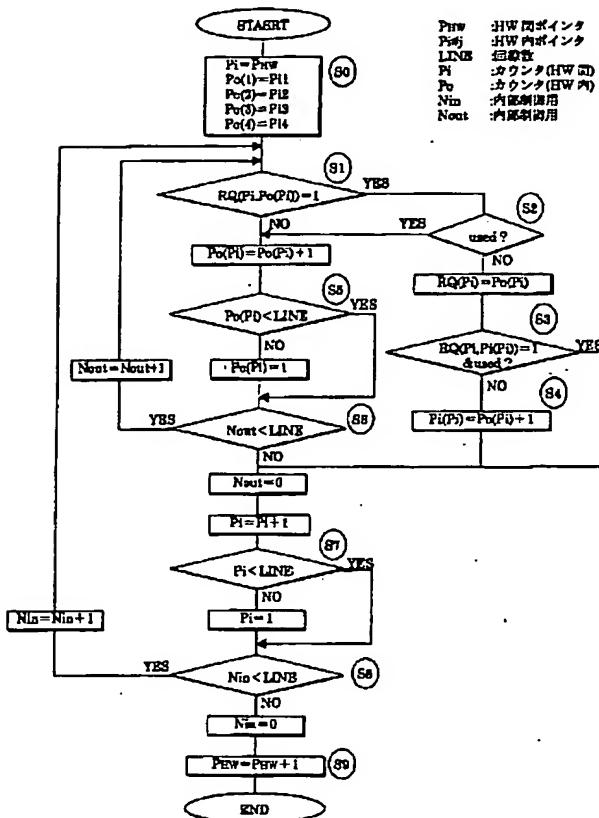
【図6】

本発明の動作原理図(2)



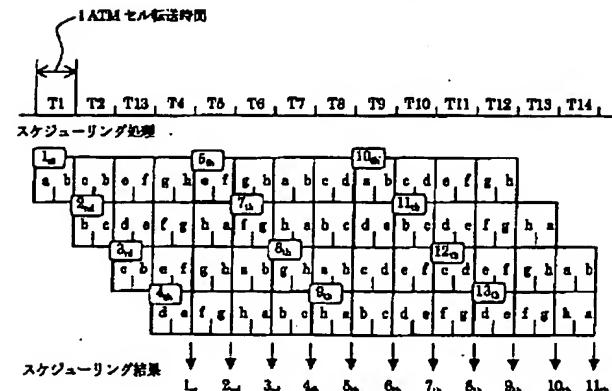
【図5】

動作原理(1)のスケジューリング処理のフローチャート



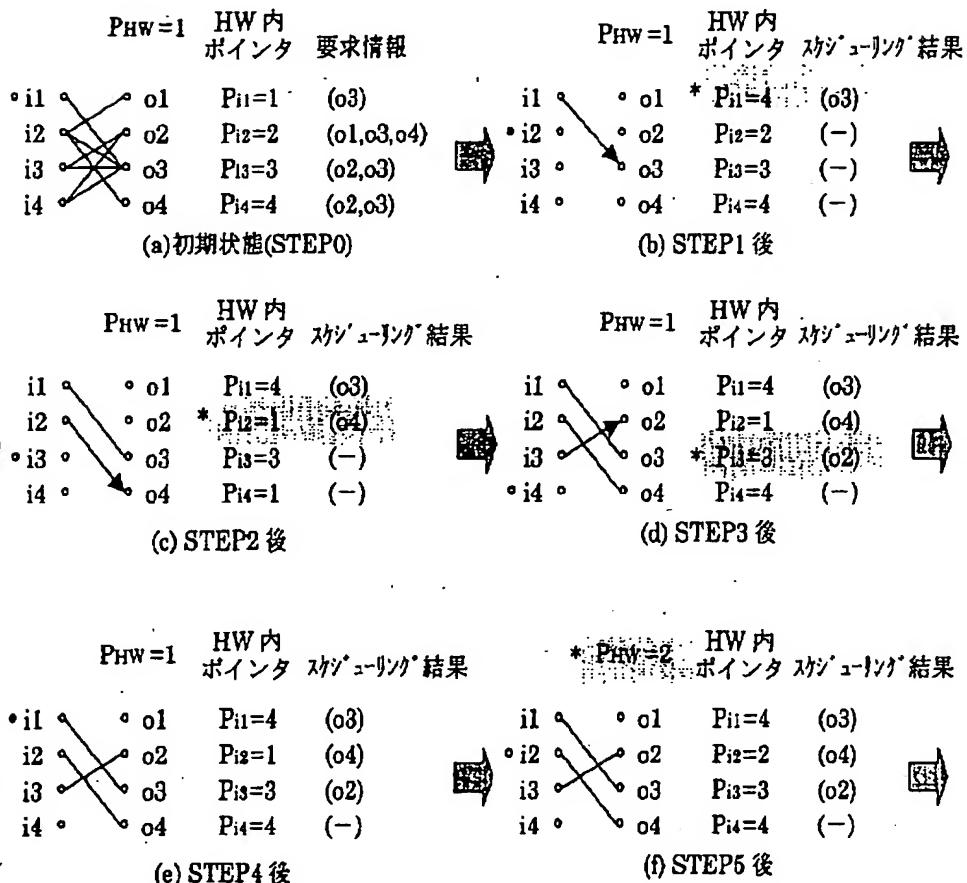
【図10】

パイプライン式スケジューリング処理の原理図



【図3】

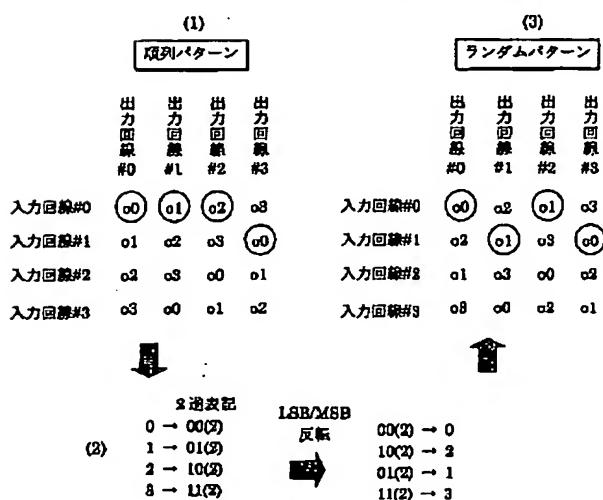
動作原理(1)のスケジューリング処理例(1回目)



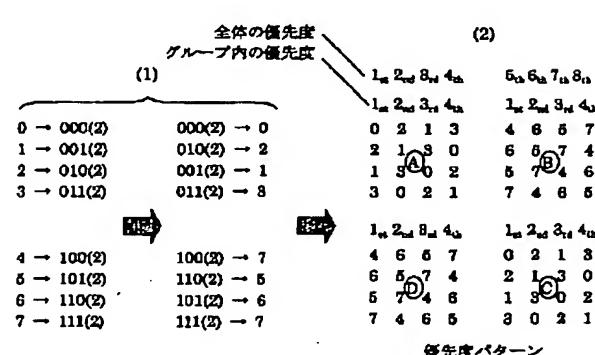
【図18】

【図22】

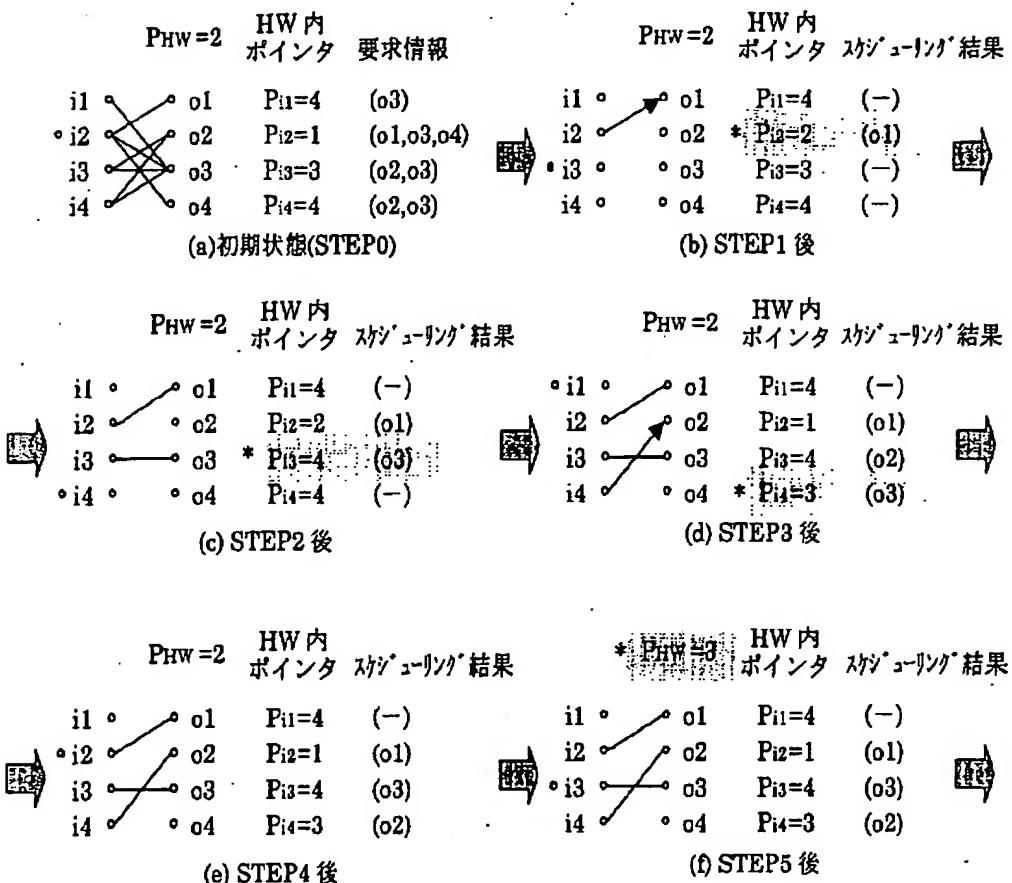
ランダムパターンの生成例と優先度数の変化例



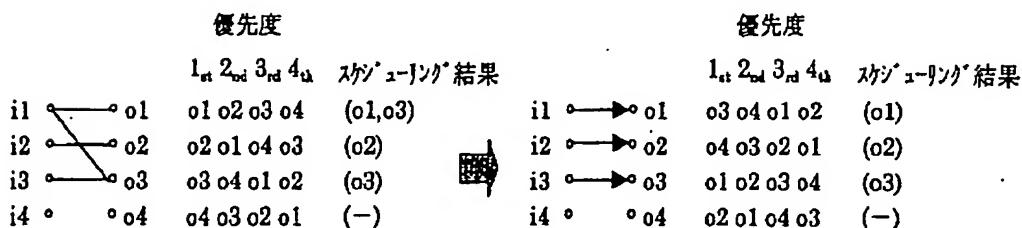
部品構成時の優先度パターン生成例



【図4】

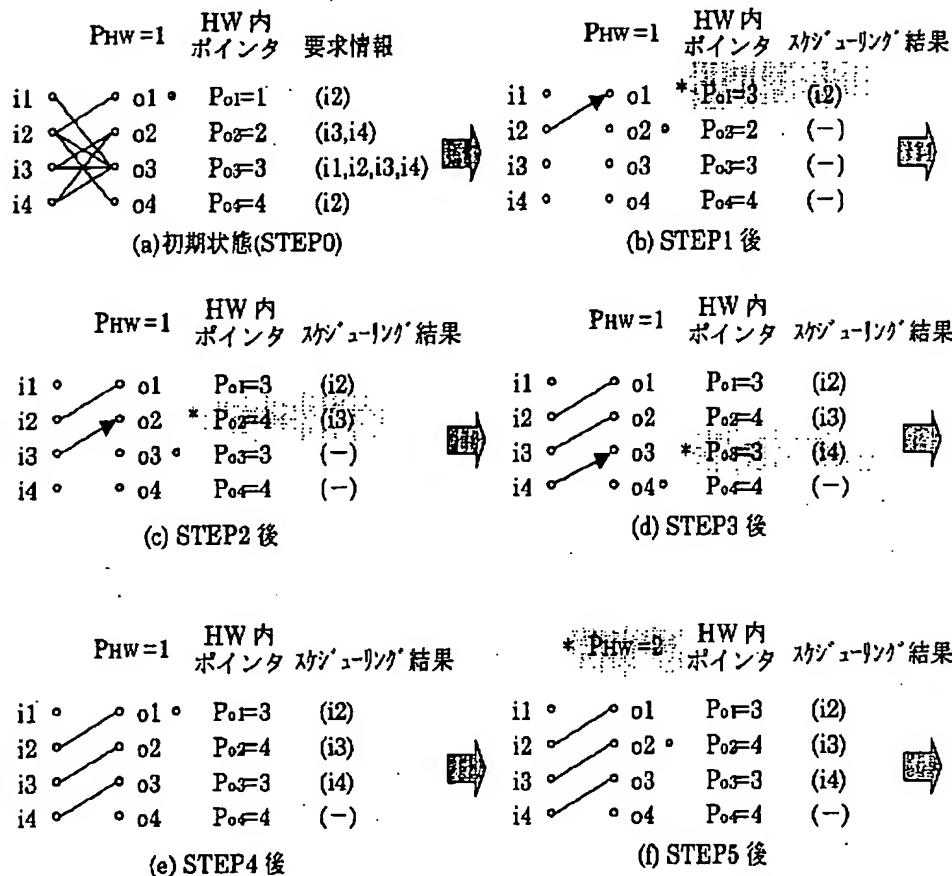
動作原理(1)のスケジューリング処理例(2回目)

【図21】

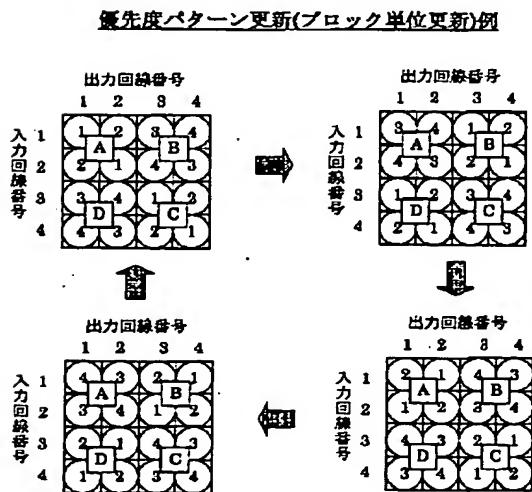
全体の優先度における最終送出回線の調停例

【図7】

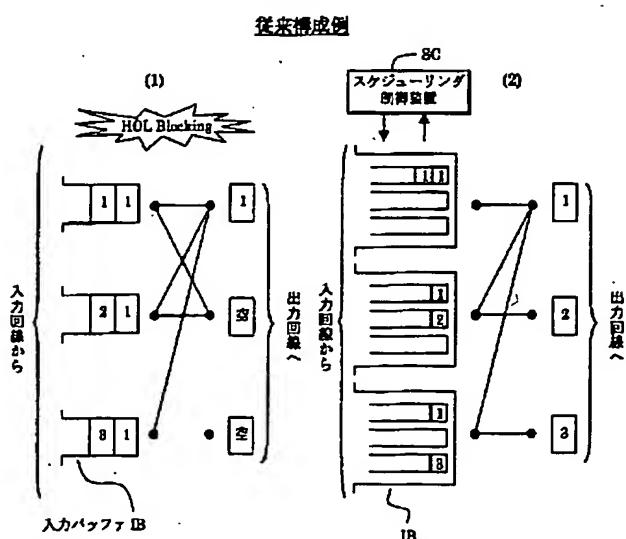
動作原理(2)のスケジューリング処理例(1回目)



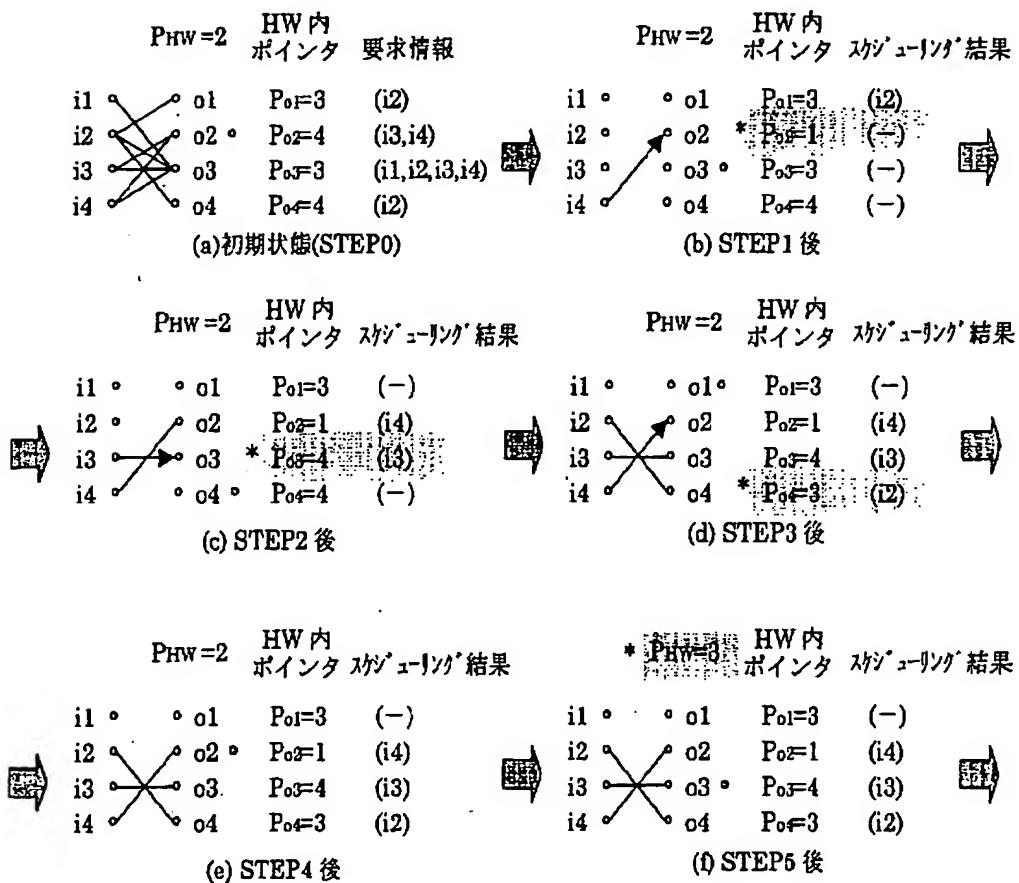
【図23】



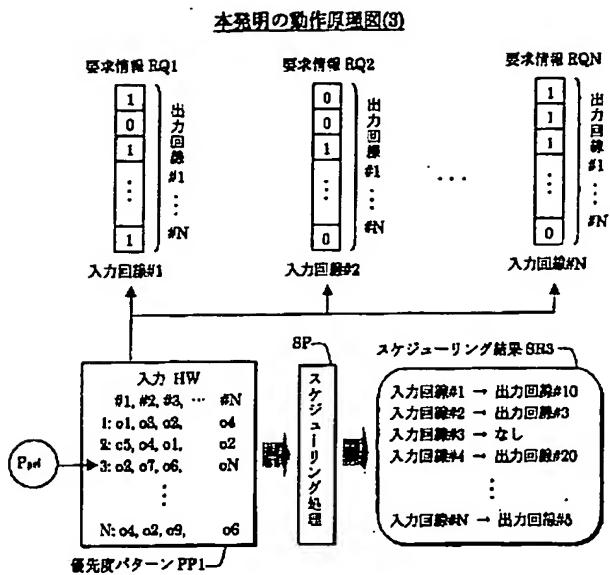
【図30】



【図8】

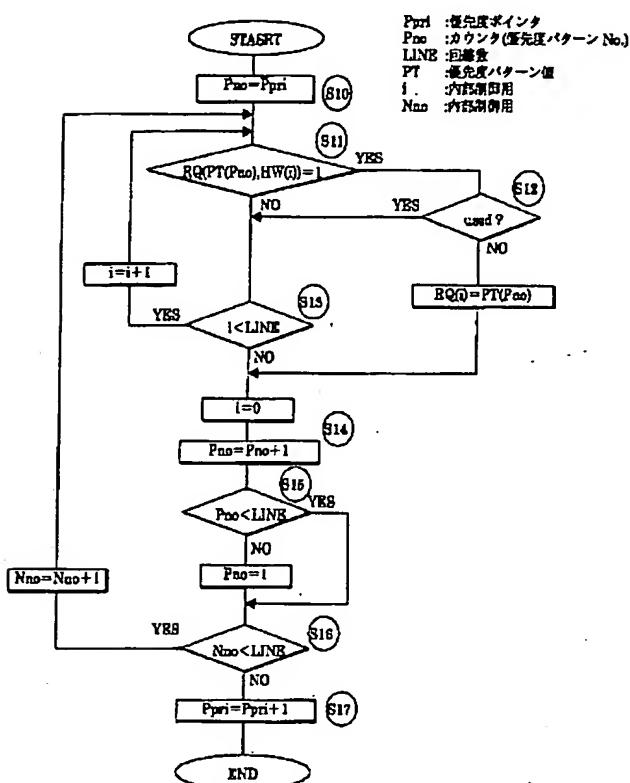
動作原理(2)のスケジューリング処理例(2回目)

【図11】



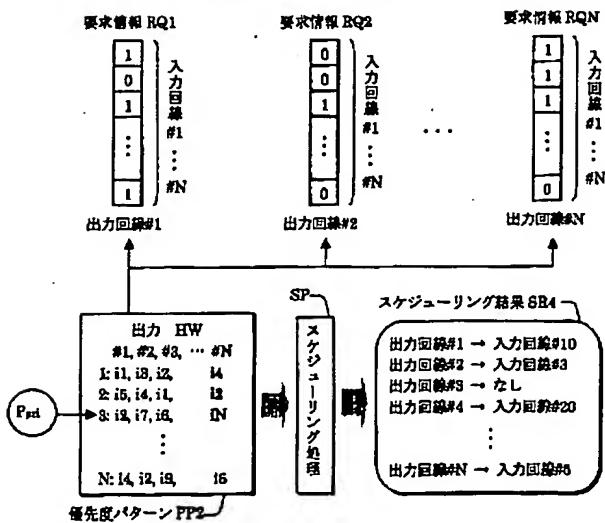
【図14】

優先度パターンを用いたスケジューリング処理のフローチャート



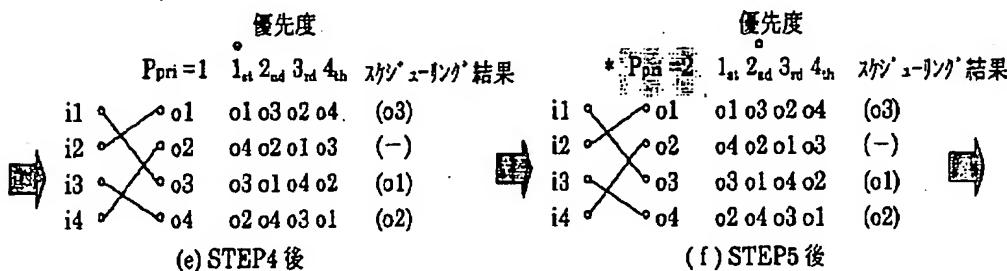
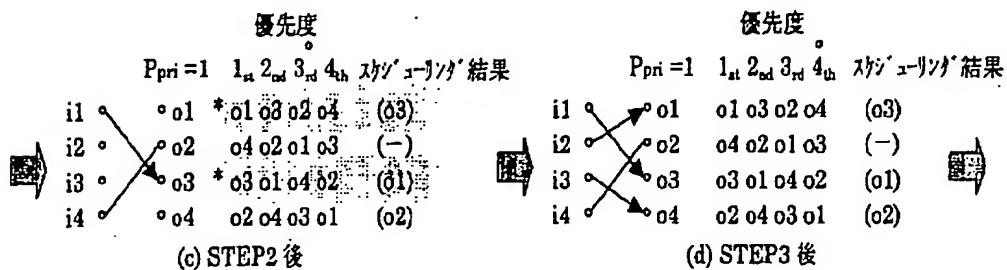
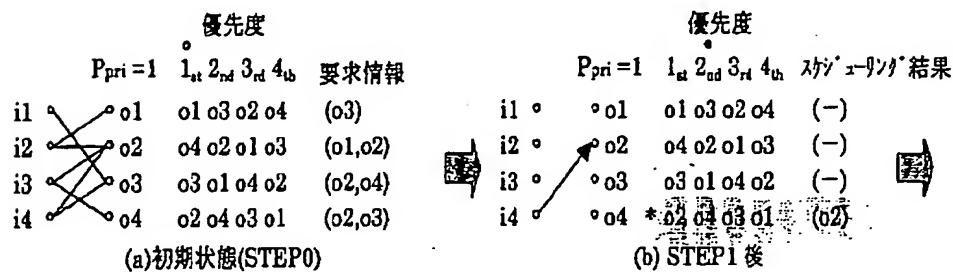
【図15】

本発明の動作原理図(4)



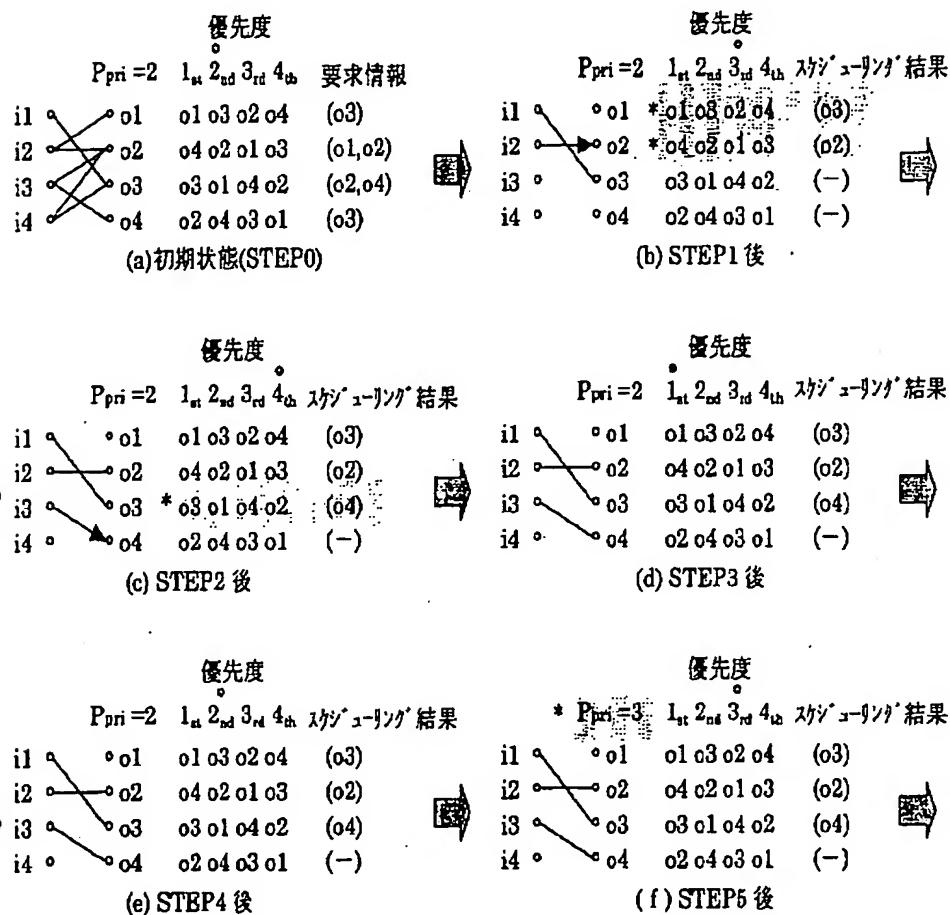
【図12】

動作原理(3)のスケジューリング処理例(1回目)

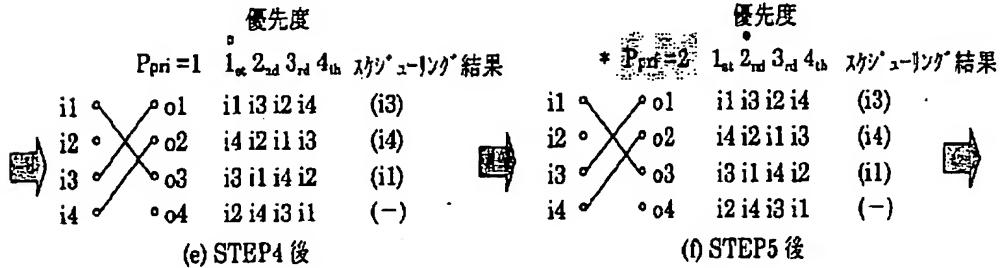
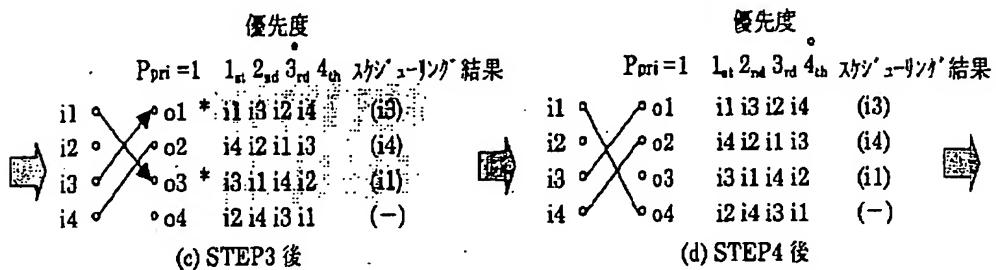
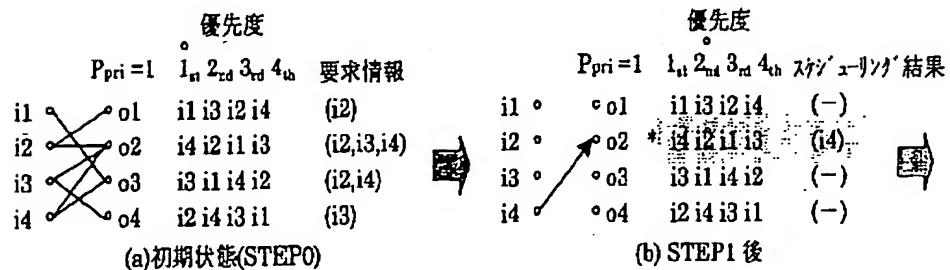


[図13]

動作原理(3)のスケジューリング処理例(2回目)

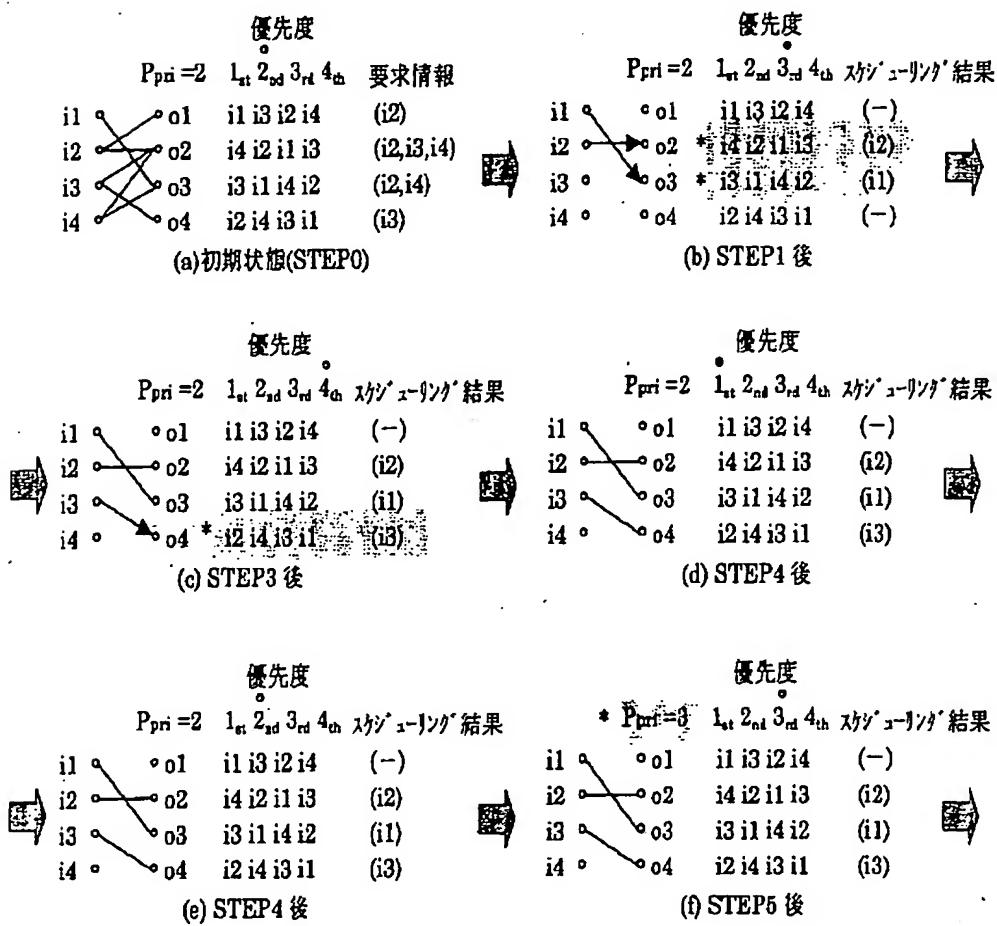


【図16】

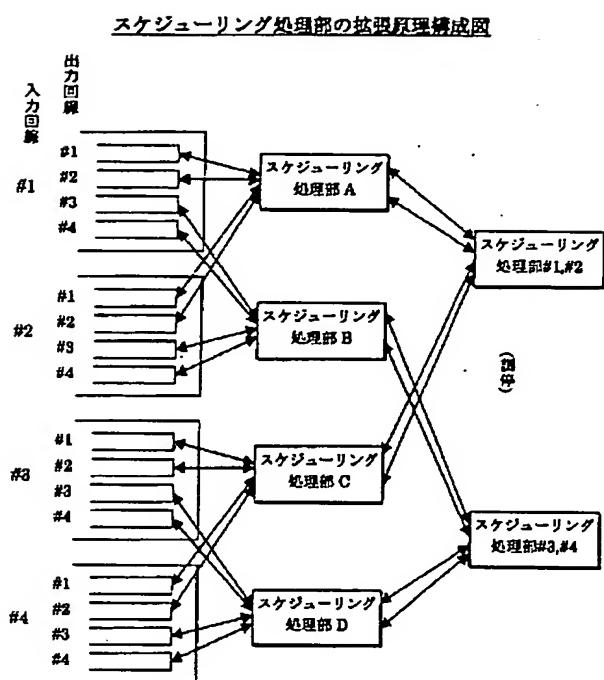
動作原理(4)のスケジューリング処理例(1回目)

【図17】

動作原理(4)のスケジューリング処理例(2回目)

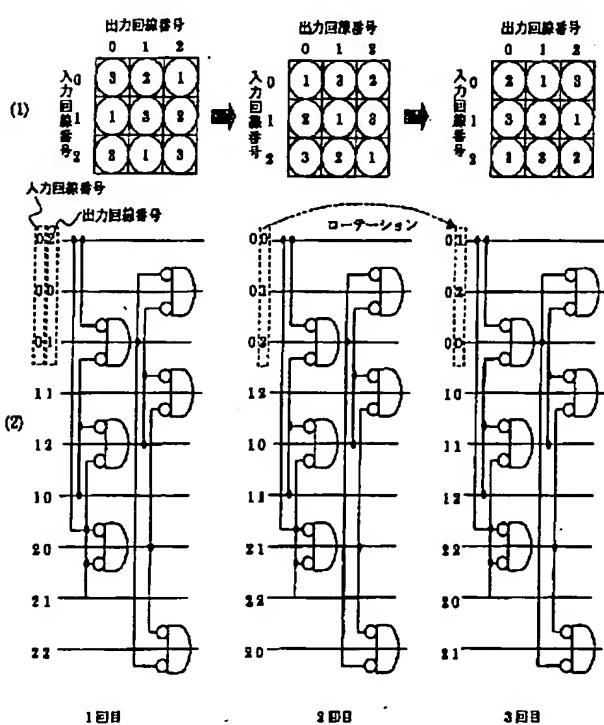


【図19】

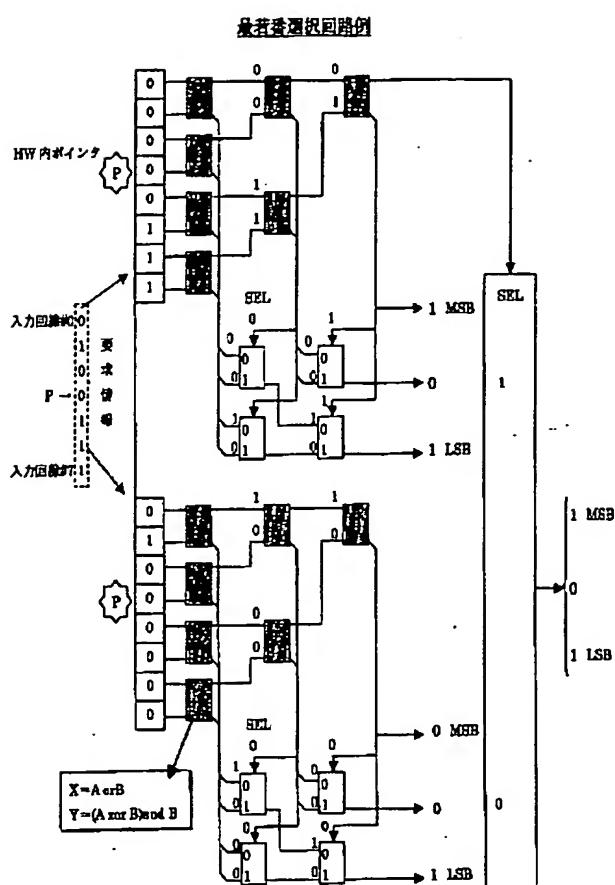


【図27】

優先度パターンのローテーションの実施例



【図24】



1回目

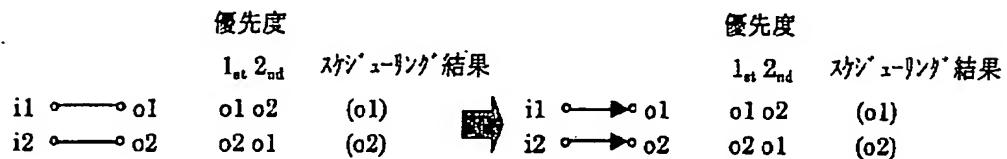
2回目

3回目

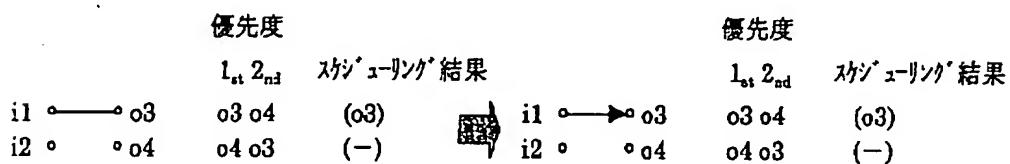
【図20】

各スケジューリング処理部における候補選出例

○スケジューリング処理部 A の仮候補選出



○スケジューリング処理部 B の仮候補選出



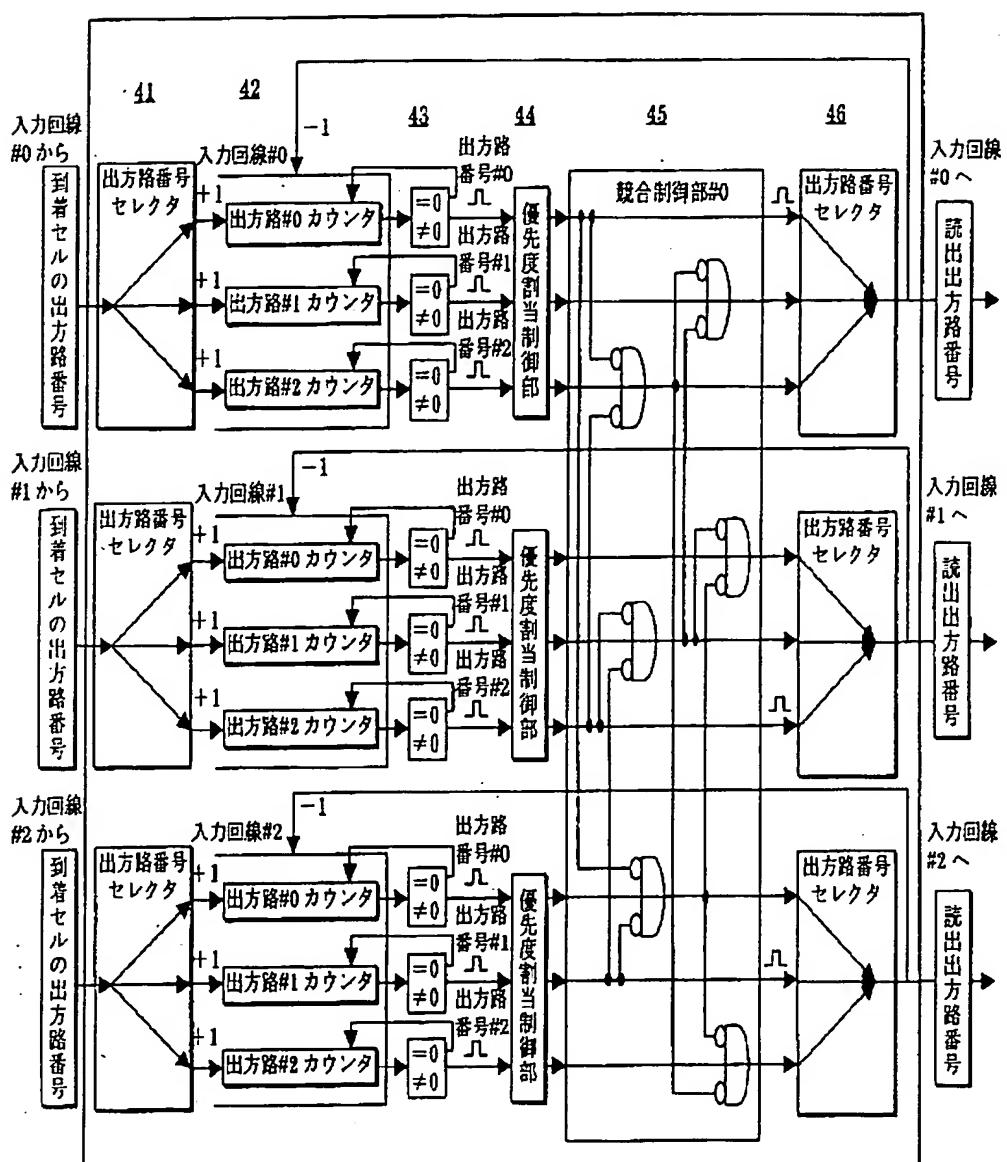
○スケジューリング処理部 C の仮候補選出



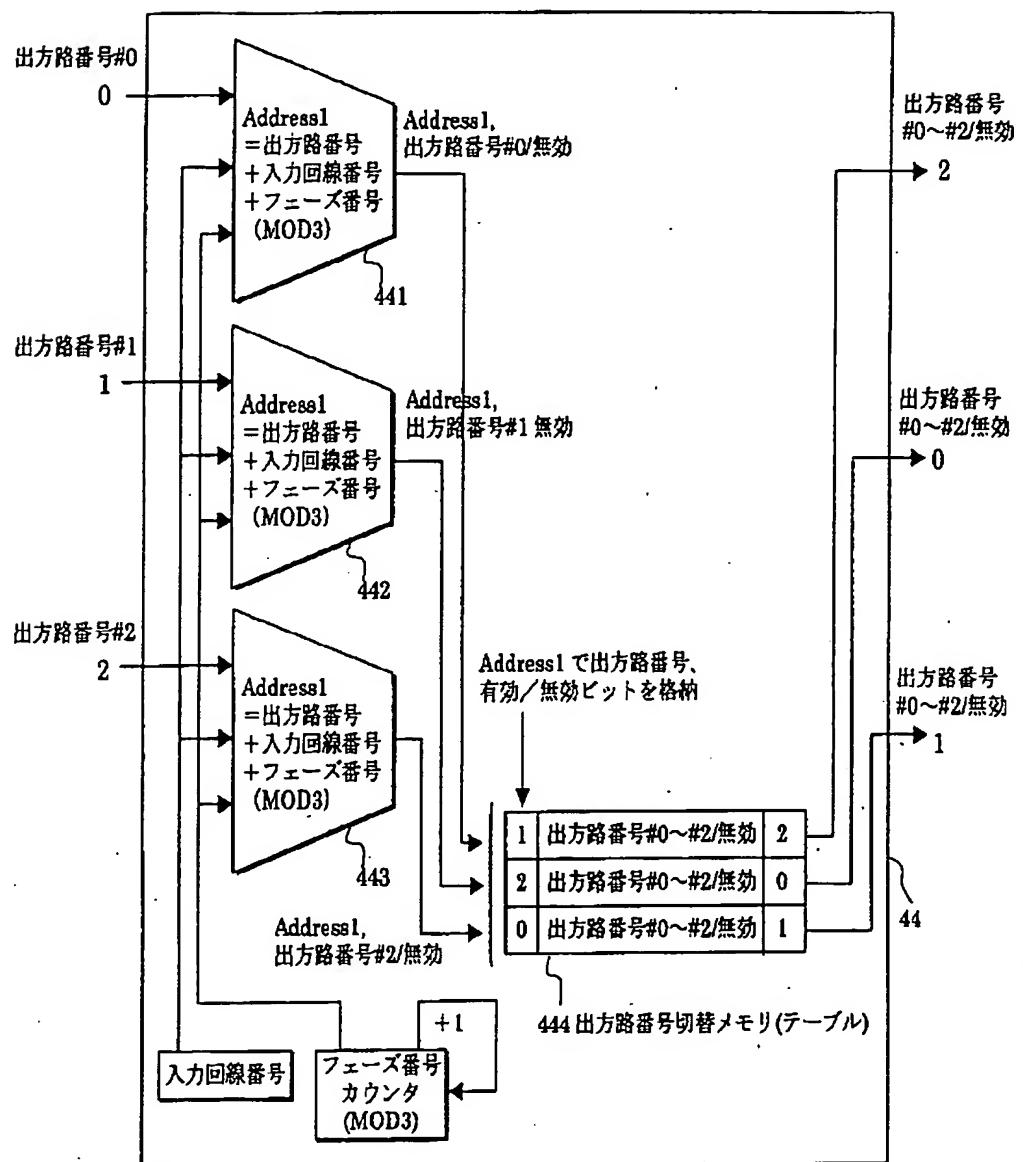
○スケジューリング処理部 D の仮候補選出



【図25】

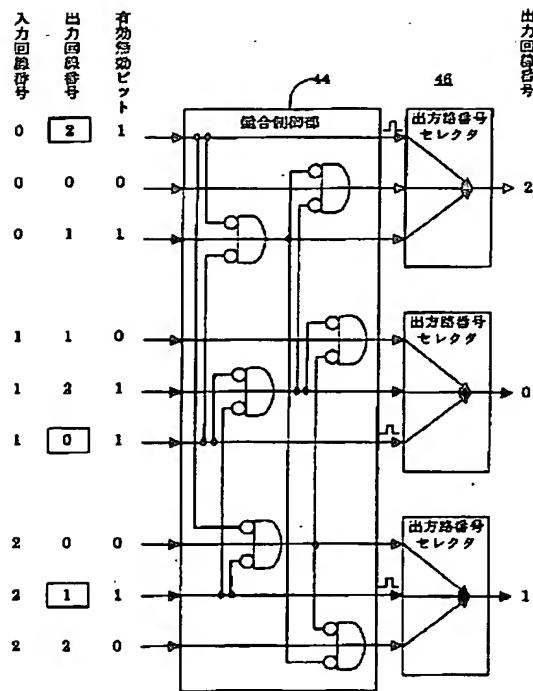
スケジューリング処理部の実施例

【図26】

優先度割当制御部の実施例

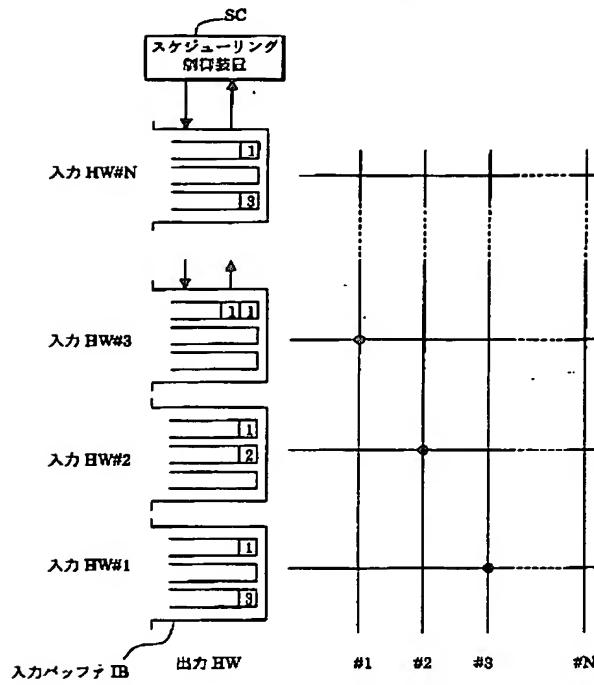
【図28】

混合制御部の実施例



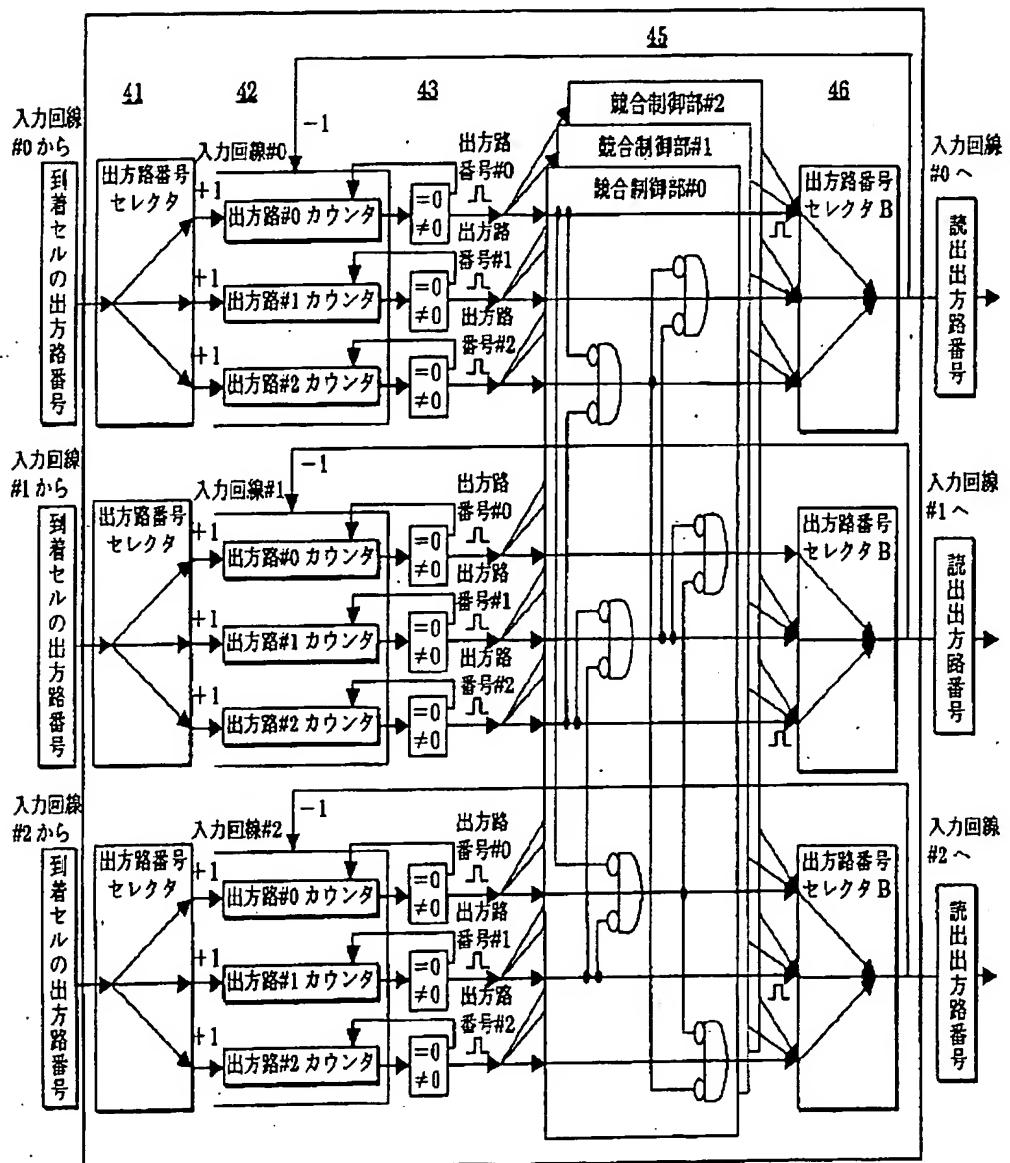
【図31】

入力バッファ型スイッチ回路例



【図29】

競合選択理論をローテーションさせる場合の実施例



フロントページの続き

(72)発明者 朝永 博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 加藤 次雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5K030 HA10 HB17 KX12 KX18 LE00

LE05